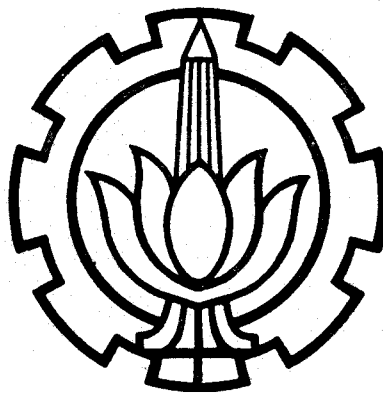


3927/11/4/91 ✓



# **PERENCANAAN DAN PEMBUATAN PERALATAN PERANTARA KOMUNIKASI DATA ANTAR KOMPUTER DENGAN MENGGUNAKAN WIRELESS MICROPHONE**



PSE  
621 398 1  
ben  
P-1  
1000

Oleh :

*Benidiktus Ariq D.*

NRP. 2852200394

**JURUSAN TEKNIK ELEKTRO  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI SEPULUH NOPEMBER  
SURABAYA**

# **PERENCANAAN DAN PEMBUATAN PERALATAN PERANTARA KOMUNIKASI DATA ANTAR KOMPUTER DENGAN MENGGUNAKAN WIRELESS MICROPHONE**

## **TUGAS AKHIR**

Diajukan Guna Memenuhi Sebagian Persyaratan  
Untuk Memperoleh Gelar  
Sarjana Teknik Elektro

Pada

Bidang Studi Teknik Telekomunikasi  
Jurusan Teknik Elektro  
Fakultas Teknologi Industri  
Institut Teknologi Sepuluh Nopember  
Surabaya

Mengetahui / Menyetujui  
Dosen Pembimbing



**Dr. Ir. M. SALEHUDIN**

**S U R A B A Y A**

**J U L I , 1 9 9 0**

## ABSTRAK

Perkembangan dunia telekomunikasi pertukaran data sangat pesat saat ini, mengingat akan besarnya kebutuhan pertukaran informasi yang cepat dari satu tempat ke tempat lain.

Dalam tugas akhir ini, dirancang dan dibuat suatu alat pertukaran data antar komputer dengan menggunakan wireless microphone yang bekerja pada frekwensi siaran dengan modulasi FM. Dalam rancangan ini diharapkan, dengan peralatan yang sederhana dan relatif murah, dapat ditampilkan suatu unjuk kerja optimum.

Peralatan ini memanfaatkan interface standard komunikasi data seri RS 232 C dari IBM-PC, modem MC 6860 dengan protokol-protokolnya serta wahana transmisi FM konvensional, seperti wireless microphone dan pesawat penerima FM biasa. Protokol data terminal ready (DTR) dan request to send (RTS) dimanfaatkan oleh peralatan ini untuk mematikan dan menghidupkan pemancar dan menggunakan sistem modulasi FSK secara half duplex dengan laju data sebesar 300 Baud.

Hasil yang dicapai dari pengukuran unjuk kerja peralatan yang dibuat setelah karakter dikirim oleh perangkat pengirim hasilnya dapat diterima oleh perangkat penerima, namun probability of error ( $P_e$ ) cukup besar sekitar  $10^{-3}$ .

## KATA PENGANTAR

Puji syukur dan terima kasih kami panjatkan ke hadirat Tuhan Yang Maha Esa yang telah melimpahkan berkat dan rahmatnya, sehingga penulis dapat menyelesaikan tugas akhir yang berjudul:

### **PERENCANAAN DAN PEMBUATAN PERANTARA KOMUNIKASI DATA ANTAR KOMPUTER DENGAN MENGGUNAKAN WIRELESS MICROPHONE**

Adapun Tugas Akhir ini mempunyai beban Kredit sebanyak 6 SKS (Satuan Kredit Semester) dan merupakan pelengkap persyaratan guna memperoleh gelar sarjana Teknik Elektro pada Fakultas Teknologi Industri Jurusan Teknik Elektro Institut Teknologi Sepuluh Nopember Surabaya.

Penulis berharap agar Tugas Akhir ini dapat memberikan banyak informasi baru maupun manfaat bagi para pembaca pada umumnya serta mahasiswa teknik elektro pada khususnya.

Untuk terwujudnya Tugas Akhir ini penulis merasa sangat berhutang budi atas bantuan-bantuan yang tak ternilai harganya dari:

1. Bapak Dr. Ir. M. Salehudin dosen Jurusan Teknik Elektro FTI ITS sebagai dosen pembimbing penulis

yang dengan penuh kebijaksanaan dan rasa tanggung jawab telah memberi banyak ide dan gambaran tentang Tugas Akhir ini.

2. Bapak Ir. Murdi Asmoroedji sebagai dosen wali penulis selama penulis menjadi mahasiswa ITS Elektro ITS yang telah banyak memberi pengarahan dan bantuan moril.
3. Bapak-bapak dosen di Jurusan Teknik Elektro FTI ITS yang banyak membantu penulis.
4. Ayahanda dan Ibunda yang dengan sabar dan penuh cinta kasih memberikan berbagai pengarahan dan doa.
5. Adinda Lia, Lina dan Anton yang banyak membantu dalam doa, semangat dan pertolongan finansial serta semua sahabat yang penuh pengertian.
6. Semua rekan mahasiswa Teknik Elektro dan para karyawan di ITS yang secara langsung maupun tak langsung membantu penulis.

Akhirnya semoga Tuhan Yang Maha Esa yang akan memberikan balasan berlipat ganda.

Surabaya, Juli 1990

(Penyusun)

# DAFTAR ISI

BAB	HALAMAN
ABSTRAK	iii
KATA PENGANTAR	iv
DAFTAR ISI	vi
DAFTAR GAMBAR	xi
DAFTAR TABEL	xiv
I PENDAHULUAN	1
I. 1 LATAR BELAKANG	1
I. 2 PERMASALAHAN	1
I. 3 PEMBATASAN MASALAH	2
I. 4 METODOLOGI	2
I. 5 LANGKAH-LANGKAH PEMBAHASAN	3
II TEORI PENUNJANG	4
II. 1 TRANSMISI DATA SERIAL	4
II. 2 KOMUNIKASI ASYNCHRONOUS	6
II. 3 KOMUNIKASI SYNCHRONOUS	9
II. 4 MODULASI FREKUENSI	10
II. 5 FREKUENSI SHIFT KEYING (FSK)	12
II. 6. 8250 UART	16
II. 6. 1 PENJELASAN PIN-PIN 8250	18
II. 6. 1. 1 PIN-PIN INPUT	18

II. 6. 1. 2	PIN-PIN OUTPUT	23
II. 6. 1. 2	PIN-PIN INPUT/OUTPUT	25
II. 6. 2.	PEMROGRAMAN 8250	25
II. 6. 2. 1	LINE KONTROL REGISTER (LCR)	25
II. 6. 2. 2	DIVISOR LATCH LEAST/MOST	
.	SIGNIFICANT BIT (DLL DANDLM)	28
II. 6. 2. 3	LINE STATUS REGISTER	30
II. 6. 2. 4	INTERRUPT IDENTIFICATION RE	
	GISTER	32
II. 6. 2. 5	INTERRUPT ENABLE REGISTER	
	(IER)	34
II. 6. 2. 6	MODEM CONTROL REGISTER	36
II. 6. 2. 7	MODEM STATUS REGISTER	38
II. 6. 2. 8	RECEIVER BUFFER REGISTER	40
II. 6. 2. 9	TRANSMITER HOLDING REGISTER	41
II. 7	SERIAL INTERFACE STANDARD EIA RS-232 C	41
II. 7. 1	PIN-PIN RS-232 C	44
II. 7. 2	MENGHUBUNGKAN RS-232 C	46
II. 8	MC 6860 LOW SPEED MODEM	49
II. 8. 1	INTERNAL ORGANIZATION	55
II. 8. 2	HANDSHAKING AND CONTROL	56
	II. 8. 2. 1 ANSWER MODE	56
	II. 8. 2. 2 AUTOMATIC DISCONNECT	57

II. 8. 2. 3 ORIGINATE MODE	58
II. 8. 2. 4 INITIATE DISCONNECT	58
III PERENCANAAN PERALATAN	59
III. 1 RANGKAIAN PENGUBAH LEVEL TEGANGAN RS-232 C KE TTL	60
III. 2 DIGITAL MODEM MC 6860	61
III. 3 PERENCANAAN FILTER	63
III. 4 RANGKAIAN PENGUAT	71
III. 5 RANGKAIAN PENYESUAI IMPEDANSI	72
III. 6 RANGKAIAN RELAY DRIVER	73
III. 7 RANGKAIAN LIMITER	76
III. 8 RANGKAIAN INPUT THRESHOLD DETECTOR	79
III. 9 RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE LEVEL TEGANGAN-TEGANGAN RS-232 C	81
III. 10 PERENCANAAN CLOCK PULSE GENERATOR	82
III. 11 LANGKAH-LANGKAH PEMBUATAN ALAT	83
III. 12 PERANGKAT LUNAK YANG DIGUNAKAN	83
IV PENGUKURAN	87
IV. 1 PENGUKURAN SIGNAL DIGITAL YANG DITETIMA DAN DIKELUARKAN IC MC 1489	87
IV. 2 PENGUKURAN SIGNAL FSK PADA OUTPUT IC MC 6860	88
IV. 3 PENGUKURAN SIGNAL OUTPUT LIMITER	90
IV. 4 PENGUKURAN SIGNAL OUTPUT THRESHOLD DETECTOR	91
IV. 5 PENGUKURAN RESPONS BAND PASS FILTER	92



IV. 6 PENGUKURAN OUTPUT CLOCK PULSE GENERATOR	96
IV. 7 UNJUK KERJA PARALATAN YANG DIBUAT	98
V PENUTUP	102
V. 1 KESIMPULAN	102
V. 2 SARAN	103
DAFTAR PUSTAKA	104
LAMPIRAN A : LANGKAH-LANGKAH PEMBUATAN ALAT DAN GAMBAR RANGKAIAN LENGKAP MODEM YANG DIBUAT	105
LAMPIRAN B : DATA KARAKTERISTIK KOMPONEN	108
- IC OP-AMP MC 1558, MC 1458 DAN MC 1458 C	108
- IC INTERFACE (DRIVER) MC 1488	113
- IC INTERFACE (DRIVER) MC 1489 DAN MC 1489 L	119
- IC CHIP MC 6860	125
LAMPIRAN C : USULAN TUGAS AKHIR	139
LAMPIRAN D : DAFTAR RIWAYAT HIDUP	144

## DAFTAR GAMBAR

GAMBAR	HALAMAN
2. 1. BLOK DIAGRAM TRANSMISI DATA SERIAL	5
2. 2. FORMAT DATA TRANSMISI SERIAL ASYNCHRONOUS	6
2. 3. FORMAT DATA SERIAL MODE SYNCHRONOUS	10
2. 4. KERAPATAN DAYA SPEKTRUM FSK	11
2. 5. PENGARUH NOISE TERHADAP SINYAL	15
2. 6. SINYAL AM, FM DAN PM DENGAN 2 INPUT YANG BERBEDA	17
2. 7. SPEKTRUM SINYAL FM, $\beta = 5$ , $c = 1$ DAN $f_c \gg f_m$	21
2. 8. PENGHASIL SINYAL FM DAN PM METODE LANGSUNG	26
2. 9. MODULATOR FM DENGAN VARIABEL REAKTANCE	27
2.10. PENGHASIL SINYAL TERMODULASI NBFM	29
2.11. PENGALI FREKUENSI	29
2.12. KARAKTERISTIK DISCRIMINATOR IDEAL	31
2.13. DISKRIMINATOR FM DENGAN LIMITER	31
2.14. DISCRIMINATOR BALANCE	32
2.15. KARAKTERISTIK FREKUENSI KE TEGANGAN	33
2.16. KONFIGURASI 8250 UART	34
2.17. REGISTER REGISTER 8250	35
2.18. LINE KONTROL REGISTER	44
2.19. DIVISOR LATCH LEAST SIGNIFICANT BIT (DLL)	47

2.20.	DIVISOR LATCH MOST SIGNIFICANT BIT (DLM)	47
2.21.	LINE STATUS REGISTER	49
2.22.	INTERRUPT IDENTIFICATION REGISTER	51
2.23.	INTERRUPT ENABLE REGISTER	53
2.24.	MODEM CONTROL REGISTER	54
2.25.	MODEM STATUS REGISTER	56
2.26.	RECEIVER BUFFER REGISTER	58
2.27.	TRANSMIT HOLDING REGISTER	59
2.28.	KONEKTOR DB-25P UNTUK RS-232 C	61
2.29.	KEABSAHAN SINYAL PADA RS-232 C	62
2.30.	TRANSMISI DATA DENGAN MODEM	65
2.31.	HUBUNGAN RS-232 C TANPA MODEM	65
2.32.	HUBUNGAN KOMPUTER DENGAN KONTROLER	67
2.33.	KONFIGURASI SISTEM MC 6860	68
3. 1.	BLOK DIAGRAM RANGKAIAN YANG DIBUAT	78
3. 2.	RANGKAIAN PENGUBAH TEGANGAN RS-232 C KE LEVEL TEGANGAN TTL	79
3. 3.	RANGKAIAN MODEM MC 6860	83
3. 4.	SPEKTRUM MODEM MC 6860	83
3. 5.	RANGKAIAN DASAR BAND PASS FILTER	83
3. 6.	PERENCANAAN LENGKAP ORIGINATE BAND PASS FILTER	88
3. 7.	PERENCANAAN LENGKAP ANSWER BAND PASS FILTER	88
3. 8.	PERENCANAAN PENGUAT	89
3. 9.	PERENCANAAN PENYESUAI IMPEDANSI	90

3.10.	RANGKAIAN TRANSISTOR SWITCH COMMON EMITER	91
3.11.	KURVA KERJA TRANSISTOR SWITCH	93
3.12.	RANGKAIAN RELAY DRIVER	94
3.13.	POLARITAS $V_o$ TERGANTUNG TEGANGAN MASUKAN	95
3.14.	RANGKAIAN OP-AMP SEBAGAI PEMBANDING	96
3.15.	RANGKAIAN LIMITER YANG DIRENCANAKAN	97
3.16.	DETECTOR TARAF TEGANGAN POSITIF MEMBALIK	98
3.17.	RANGKAIAN INPUT THRESHOLD DETECTOR YANG DIRENCANAKAN	99
3.18.	RANGKAIAN PENGUBAH TEGANGAN TTL KE RS-232 C	100
3.19.	RANGKAIAN PULSA CLOCK GENERATOR	101
3.20.	FLOW CHART HANDSHAKING	103
2.21..	STATUS SCREEN CROSSTALK XVI YANG TELAH DISETTING PARAMETERNYA	104
2.22.	SETTING SCREEN PADA SAAT TRANSMIT FILE	104
4. 1.	a) DATA SERIAL OUTPUT DARI RS-232 C	106
	b) TEGANGA RS-232 C YANG BERUBAH MENJADI TTL	106
4. 2.	FREKUENSI FSK a) MARK b) SPACE	107
4. 3.	METODE PENGUKURAN LIMITER	108
4. 4.	OUTPUT LIMITER DIBANDINGKAN INPUT	109
4. 5.	METODE PENGUKURAN THRESHOLD DETECTOR	109
4. 6.	OUTPUT THRESHOLD DETECTOR DIBANDINGKAN INPUT	110
4. 7.	METODE PENGUKURAN FILTER	111

4. 8.	OUTPUT CLOCK PULSE GENERATOR	115
4. 9.	PROTOTYPE PERALATAN YANG DIBUAT	115
4.10.	RANGKAIAN BLOK DIAGRAM UNJUK KERJA PERALATAN YANG DIBUAT	116

## DAFTAR TABEL

TABEL	HALAMAN
2. 1. KONDISI AO, A1, A2 UNTUK PEMILIHAN REGISTER	20
2. 2. KONDISI RESET KOMUNIKASI ASYNCHRONOUS 8250	21
2. 3. KOMBINASI BIT 1 DAN 0 DARI LCR	27
2. 4. ANGKA-ANGKA PEMBAGI PADA FREKUENSI CLOCK 2 MHz	30
2. 5. KOMBINASI BIT 0, 1 DAN 2 PADA IIR	34
2. 6. SPESIFIKASI LISTRIK RS-232 C	43
2. 7. SPESIFIKASI PIN RS-232 C	45
2. 8. KARAKTERISTIK FREKUENSI MODE MC 6860	53
2. 9. TABEL KEBENARAN KONTROL MODE	55
3. 1. TEGANGAN JUNCTION TYPICAL TRANSISTOR NPN	74
4. 1. HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 1170 Hz	93
4. 2. HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 1070 Hz	94
4. 3. HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 1270 Hz	94
4. 4. HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 2125 Hz	95

4. 5.	HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 2025 Hz	95
4. 6.	HASIL PENGUKURAN UNTUK SIGNAL INPUT DENGAN FREKUENSI 2225 Hz	96

# **BAB I**

## **PENDAHULUAN**

---

### **I.1. LATAR BELAKANG**

Manusia yang peradabannya semakin maju selalu menginginkan segala pekerjaannya dapat berjalan secara otomatis, praktis, cepat dan tepat. Suatu hal yang dapat diwujudkan dengan bantuan komputer. Akhir-akhir ini perkembangan komputer telah melanda masyarakat di Kota-kota besar di Indonesia. Dalam kaitannya dengan perkembangan teknologi komunikasi maka komunikasi data erat hubungannya dengan komunikasi antar komputer. Perkembangan dunia telekomunikasi pertukaran data sangat pesat saat ini, mengingat akan besarnya kebutuhan informasi yang cepat dari satu tempat ke tempat lain.

Sarana untuk transmisi data, yang salah satunya dapat berupa kanal radio yang menggunakan frekuensi siaran FM belum banyak dikembangkan. Untuk tujuan tersebut maka sebagai salah satu alternatif, perlu direncanakan dan dibuat peralatan perantara komunikasi antara komputer dengan menggunakan wireless microphone.

### **I.2. PERMASALAHAN**

Permasalahan yang ingin dipecahkan dalam Tugas Akhir ini, adalah bagaimana mewujudkan suatu peralatan perantara komunikasi antar komputer yang memanfaatkan, interface



standard komunikasi seri dari IBM-PC, modem MC 6860 dan protokol-protokolnya serta wahana transmisi FM konvensional, seperti wireless microphone dan peralatan penerima radio FM biasa.

### 1.3. PEMBATAAN MASALAH

Perencanaan dan pembuatan alat yang dibahas dalam Tugas Akhir ini dibatasi pada:

1. laju komunikasi data seri 300 baud
2. Sistem transmisi Half Duplex
3. Protokol MC 6860 yang dimodifikasi sesuai dengan kebutuhan.
4. Jarak komunikasi tidak lebih besar dari 3 m.

### 1.4. METODOLOGI

Pembahasan perangkat keras akan mencakup cara-cara menghubungkan modem MC 6860 hasil produksi Motorola dengan programable chip INS 8250 keluaran National Semiconductor, melalui serial Interface card pada IBM-PC, dan menghubungkan Modem MC 6860 dengan wireless microphone sebagai peralatan transducer pemancar data melalui wahana transmisi FM. Pembahasan perangkat lunak mencakup pemakaian program paket X-talk, program komunikasi data antar komputer. Program paket ini dapat dipakai untuk mengirim dan menerima data yang diperoleh langsung dari key board maupun data file yang sudah ada.

### 1.5. LANGKAH-LANGKAH PEMBAHASAN

Perencanaan dan pembuatan peralatan dalam tugas akhir ini bersifat praktis, yang mengarah pada penerapan modem MC 6860 produksi Motorola dan modifikasi protokolnya sesuai dengan kebutuhan perencanaan.

Awal pembahasan akan dimulai di bab II tentang pengertian komunikasi seri dan cara kerja chip-chip komunikasi seri INS 8250 UART dilanjutkan dengan teknik perencanaan modem dengan menggunakan MC 6860 serta pemakaian wireless microphone sebagai transducer pemancar melalui wahana transmisi FM. Modifikasi protokol dari MC 6860 dilakukan dengan memanfaatkan RTS dan DTR untuk mengaktifkan pemancar. Pada bab III dibahas pula pemakaian program paket X-talk pada IBM-PC untuk sarana pertukaran data baik langsung dari ketikan key board maupun dari data file. Sejauh hal yang memungkinkan, pengukuran dan pengamatan dilakukan untuk menganalisis unjuk kerja peralatan yang di buat hal ini dijelaskan di bab IV. Bab V merupakan bab yang terakhir dan merupakan kesimpulan yang dapat diambil dari penyelesaian tugas akhir ini.

# BAB II

## TEORI PENUNJANG

---

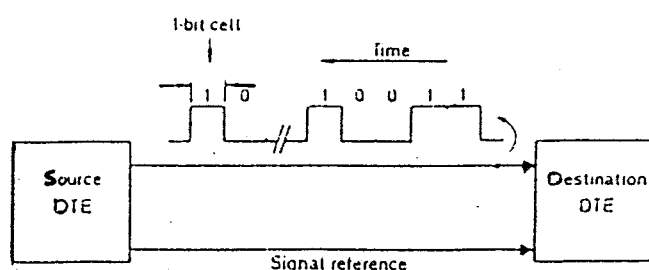
### II.1. TRANSMISI DATA SERIAL

Dalam suatu sistem komputer-mikro transmisi data seringkali dilaksanakan secara paralel, karena hal ini merupakan cara tercepat yang dapat dilakukan. Namun untuk transmisi data dengan jarak jauh, komunikasi secara paralel akan membutuhkan banyak kabel sehingga ini menimbulkan pemborosan dan menyebabkan sistem kurang handal. Oleh karena itu pada transmisi data dengan jarak yang jauh, data yang akan dikirimkan diubah dari bentuk paralel menjadi seri sehingga data tersebut dapat dikirimkan dengan hanya melalui sepasang kabel. Data seri yang diterima kemudian diubah kembali ke dalam bentuk paralel sehingga data tersebut dapat dengan mudah dilewatkan pada bus komputer. Gambar 2.1 menunjukkan diagram blok transmisi data seri.

Ada 3 istilah<sup>1)</sup> yang sering dijumpai pada transmisi data seri yaitu simplex, Half-duplex dan Full-duplex. Pada transmisi data Simplex, data hanya dapat dikirimkan dalam satu arah secara bergantian, sedangkan pada transmisi data Half-Duplex

---

<sup>1)</sup>Hall, Douglas V., *Microprocessor and Interfacing: Programming and Hardware*, McGraw-Hill Book Company, Singapore, 1987, hal. 442



GAMBAR 2.1<sup>2)</sup>

### BLOK DIAGRAM TRANSMISI DATA SERI

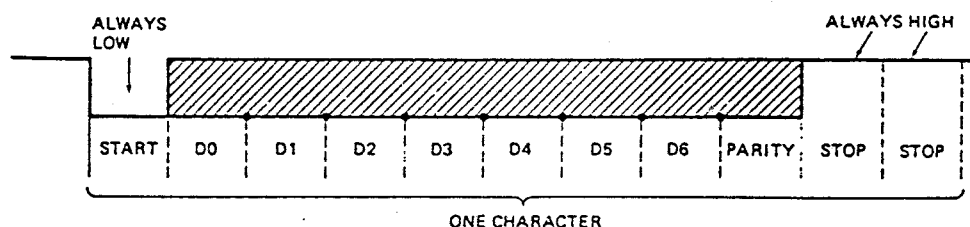
data dapat ditransmisikan dalam dua arah tetapi secara bergantian. Transmisi data Half-Duplex ini dapat dijumpai pada sistem komunikasi radio amatir (CB). Transmisi data Full Duplex merupakan transmisi data dua arah dimana data dapat diterima sistem dan sekaligus sistem tersebut dapat mengirim kan data dalam waktu yang bersamaan. Transmisi data Full Duplex ini dapat dijumpai pada sistem telepon.

Data seri dapat dikirimkan dalam dua cara baik secara *Synchronous* maupun secara *Asynchronous*. Pada transmisi *Synchronous*, data dikirimkan per blok data pada kecepatan konstan tertentu. Sedangkan pada transmisi *Asynchronous* data (karakter) dikirimkan satu per satu pada setiap saat yang dikehendaki.

<sup>2)</sup> Halsall, Fred, *Introduction to Data Communications and Computer Networks*, Adison Wesley Publishing Company Inc, England, 1985, hal. 12

## II.2. KOMUNIKASI ASYNCHRONOUS

Pada transmisi data Asynchronous setiap data karakter mempunyai satu bit yang berfungsi sebagai start bit dan 1 atau 2 bit yang berfungsi sebagai stop bit. Selain itu setiap data karakter juga dilengkapi dengan parity bit yang berfungsi untuk mendeteksi kesalahan data yang terjadi pada saat transmisi. Karena setiap karakter masing-masing diidentifikasi sendiri, karakter dapat dikirimkan setiap saat (Asynchronous) tanpa tergantung dengan karakter yang lainnya. Gambar 2.2 menunjukkan bentuk umum format data transmisi seri Asynchronous.



GAMBAR 2.2<sup>3)</sup>

### FORMAT DATA TRANSMISI SERI ASYNCHRONOUS

Bilamana tidak ada data yang dikirim, sinyal data akan tetap berlogika '1'. Keadaan ini dinamakan Marking. Awal dari suatu data karakter ditunjukkan dengan adanya transisi dari keadaan mark menuju logika '0' selama waktu 1 bit. Bit inilah yang dinamakan Start bit. Setelah start bit, bit-bit data dikirimkan satu per satu secara bergantian dimulai dengan

<sup>3)</sup> Hall, *op. cit.*, hal. 443

Least significant bit (LSB) dahulu. Data dapat berisi 5, 6, 7 atau 8 bit tergantung pada sistem yang ada. Parity Bit dikirimkan setelah bit-bit data selesai ditransmisikan untuk mendeteksi bilamana ada kesalahan saat transmisi berlangsung. Sinyal data kemudian akan berlogika '1' selama waktu paling sedikit 1 bit untuk menunjukkan bahwa data karakter sudah berakhir. Bit yang selalu berlogika '1' ini dinamakan Stop bit.

Untuk transmisi data seri Asynchronous ini, kecepatan transmisi dinyatakan dengan istilah Baud rate. Dimana baud rate ini didefinisikan sebagai (waktu yang diperlukan untuk 1 sel bit). Bilamana <sup>4)</sup> waktu yang diperlukan 1 sel bit sebesar 3,33 ms, maka baud rate adalah  $1/(3,33 \text{ ms})$  atau sebesar 300 Bd. Baud rate yang umum digunakan pada komunikasi seri adalah 110, 300, 1200, 2400, 4800, 9600 dan 19200 Bd.

Untuk membuat suatu interface antara suatu komputer mikro dengan jalur data seri, pada sisi kirim data harus diubah dari paralel menjadi seri dan pada sisi terima data harus diubah dari seri menjadi paralel. Untuk itu diperlukan suatu parallel-in-serial-out shift register dan serial-in-parallel-out shift register. Selain itu juga diperlukan rangkaian handshaking yang berfungsi agar bagian pengiriman data tidak mengirimkan terlalu cepat sehingga bagian penerima

---

<sup>4)</sup>Hall, *loc. cit*

data tidak sempat untuk menerima data. Ada beberapa komponen LSI dapat diprogram yang diproduksi sehingga mampu melakukan operasi komunikasi data seri dengan mode Asynchronous seperti misalnya INS8250 UART (Universal Synchronous Receiver Transmitter), Z80 SIO (Serial Input Output), AY-5-1013A UART dan lain-lain. Prinsip kerja dari setiap jenis chip adalah sama, yaitu untuk proses pengiriman (transmisi) dilakukan dengan cara CPU mengirimkan data yang akan ditransmisikan ke shift register dari chip di atas, kemudian terjadi penambahan start bit, parity bit dan stop bit sehingga data yang keluar dari chip akan mempunyai bentuk seperti pada gambar 2.2.

Pada keadaan tidak ada data yang ditransmisikan, maka pin output TXD dari chip seri interface dalam keadaan 'mark' atau logika '1', ketika ada data, maka pengiriman data dimulai dengan adanya start bit (logika '0'), kemudian diikuti oleh data yang dikirim mulai dari LSB (bit D0) sampai MSB(Dn). Bila chip interface diprogram untuk menghasilkan bit parity. Ada dua jenis parity yaitu parity ganjil (odd parity) dan parity genap (even parity). Bila dipilih parity ganjil maka banyaknya bit logika '1' dari bit data dan parity selalu berjumlah ganjil. Bit parity tersebut digunakan untuk pemeriksaan keadaan data yang dikirim apakah sama dengan data yang diterima oleh bagian penerima. Bila ada kesalahan atau kerusakan 1 bit data maka akan kesalahan parity, namun bila terdapat 2 bit data yang salah/rusak maka tidak akan terdeteksi kesalahan parity yang telah terjadi. Hal ini

memang merupakan kelemahan dari deteksi kesalahan dengan metoda parity pada komunikasi seri. Bit terakhir sebagai penutup 1 unit data adalah 'stop bit' yang berlogika '1'. Jumlah stop bit dapat diprogram sebanyak 1, 1½, atau 2 bit.

Bagian penerima, juga memantau adanya start bit. Bila start bit ditemukan maka bit berikutnya dianggap sebagai bit-bit data, parity dan stop bit. Bila terjadi kesalahan pada bit parity atau kesalahan tidak ditemukannya stop bit, maka bagian penerima akan menset status register yang ada untuk menyatakan error yang terjadi.

### 11.3. KOMUNIKASI SYNCHRONOUS

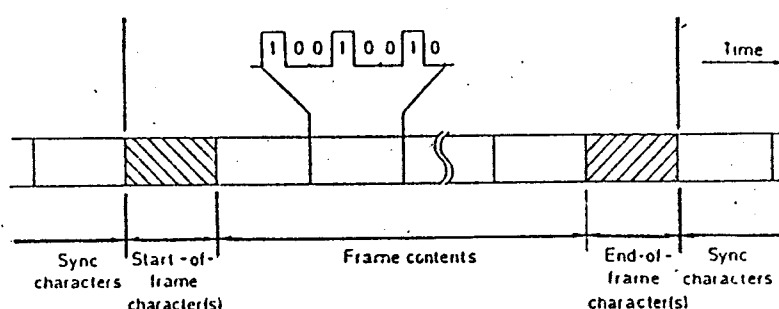
Telah dijelaskan bahwa pada komunikasi asynchronous tiap unit data (karakter) membutuhkan start bit sebagai tanda awal data dan sedikitnya membutuhkan 1 stop bit sebagai tanda akhir data karakter. Dalam hal ini bagian pengirim dan penerima disinkronisasikan berdasarkan setiap karakter. Untuk unit data sebesar 8 bit, maka harus dikirimkan minimum 10 bit. 5) Sehingga terlihat dengan jelas 20 % dari waktu transmisi terbuang. Kerugian ini akan semakin jelas bilamana data yang dikirimkan berjumlah besar. Alternatif lain yang dapat dilakukan untuk menambah kecepatan transmisi adalah dengan komunikasi data seri dengan mode Synchronous.

---

<sup>5)</sup> Ibid, hal. 473



Pada mode ini tiap karakter/unit data tidak dikirim secara terpisah dengan dibatasi oleh start dan stop bit melainkan beberapa karakter dibentuk dalam blok data yang dibatasi oleh karakter sinkronisasi. Jumlah dan bentuk karakter sinkronisasi tersebut dapat di program. Format data mode synchronous seperti gambar 2.3



GAMBAR 2.3<sup>6)</sup>

#### FORMAT DATA SERI MODE SYNCHRONOUS

Sebagai bahan perbandingan, bila dilakukan pengiriman data sebanyak  $n$  karakter secara asynchronous tanpa parity bit dan hanya dengan 1 stop bit maka jumlah bit seri yang harus dikeluarkan adalah sebanyak  $10n$  bit. Sedangkan dengan mode synchronous diperlukan sebanyak  $8n + 16$  bit. Sehingga semakin besar  $n$ , semakin efisien komunikasi data dengan mode synchronous.

#### II.4. MODULASI FREKUENSI

Modulasi adalah proses untuk merubah parameter gelombang-

<sup>6)</sup> Halsall, *op. cit.*, hal. 17

bang pembawa sesuai dengan sinyal pemodulasi. Sinyal pemodulasi berupa sinyal input yang berisi informasi. Teknik modulasi yang dikenal antara lain adalah modulasi Amplitudo, Modulasi Phase dan Modulasi Frekuensi.

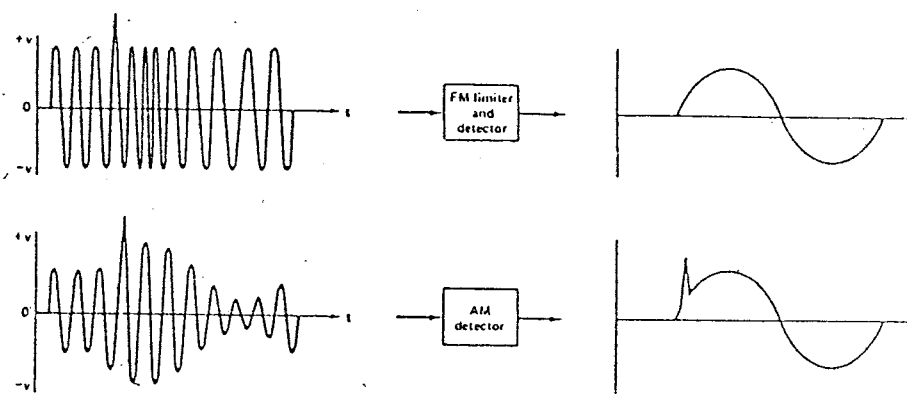
Pada proses modulasi dan demodulasi (menampilkan kembali sinyal-sinyal informasi), secara ideal tidak akan terdapat noise atau hal-hal lain yang mengganggu. Akan tetapi didalam kenyataannya, noise selalu muncul dalam setiap sistem komunikasi. Kehadiran noise yang ditambahkan pada sinyal membatasi kemampuan receiver untuk secara tepat memperoleh sinyal sinyal informasi yang diinginkan.

Noise pada sistem modulasi dapat mengakibatkan terganggunya selubung gelombang, yaitu saat terjadinya perubahan amplitudo pada gelombang pembawa akibat proses pemodulasian. Pada modulasi frekuensi gangguan seperti ini tidak akan terjadi, karena sinyal informasi tidak akan menyebabkan terjadinya perubahan amplitudo, melainkan hanya menyebabkan terjadinya deviasi frekuensi pada gelombang pembawa.

Dari hasil pengukuran didapatkan bahwa Noise pada AM yang diakibatkan oleh noise buatan dan interferensi sekitar 2,5 - 3 dB lebih besar, dibanding noise yang ditemui pada FM, sehingga pada FM diperlukan daya pancar lebih sedikit untuk mendapatkan S/N yang sama. 8)

---

8) Stark, Henry, and B. Tuteur, Franz, *Moderen Communicatins Theory and System*, Prentice-Hall, Inc., New Jersey, 1983, hal. 313



GAMBAR 2.4<sup>9)</sup>

### PENGARUH NOISE TERHADAP SINYAL

#### 11.5. FREQUENCY SHIFT KEYING (FSK)

Signal digital pada komunikasi data yang akan dikirimkan agar dapat ditransmisikan pada jarak jauh maka salah satunya dimodulasi dengan signal analog. Pada dasarnya ada tiga metoda untuk memodulasi data ke gelombang pembawa yaitu ASK, FSK dan PSK. Dalam Tugas Akhir ini hanya dibahas teknik modulasi FSK, karena peralatan yang digunakan nantinya menggunakan metoda modulasi dan demodulasi FSK sebelum dimodulasi lagi ke frekuensi modulasi (FM).

Pada teknik ini, frekuensi gelombang pembawa diubah-ubah sesuai dengan amplitudo sinyal informasi. Persamaan gelombang biner FSK diberikan sebagai berikut :

$$\begin{aligned}
 s_1(t) &= A \cos (w_c - w_d) t \\
 s_2(t) &= A \cos (w_c + w_d) t
 \end{aligned}
 \quad \dots\dots\dots (2.1)$$

<sup>9)</sup> Miller, Gary M., *Modern Electronic Communication*, Prentice-Hall, Inc., New Jersey, 1989, hal. 160

dimana:  $s_1(t)$  = Sinyal space FSK       $s_2(t)$  = Sinyal mark FSK

$A$  = Amplitudo       $w_c$  = frekuensi gelombang pembawa

$w_d$  = frekuensi gelombang pulsa persegi

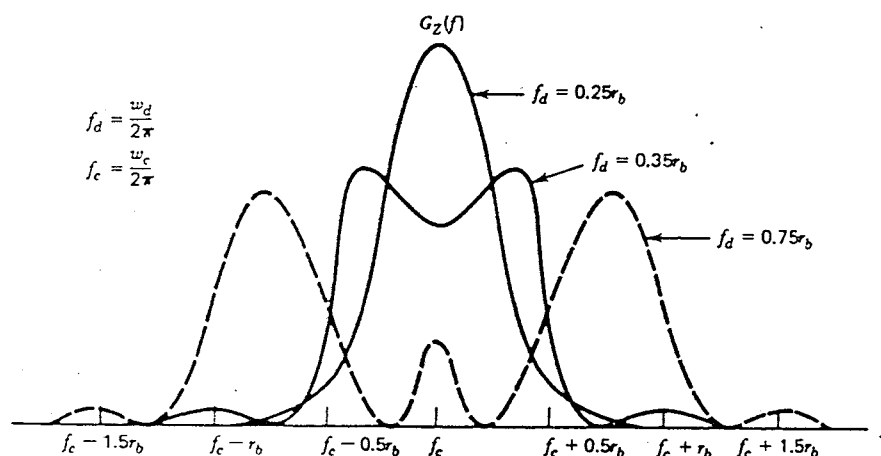
secara umum sinyal FSK dapat dituliskan sebagai berikut :

$$Z(t) = A \cos \left[ w_c t + w_d \int_{-\infty}^t D(t') dt' + \theta \right] \dots (2.2)$$

dimana:  $Z(t)$  = Output sinyal FSK

$D(t')$  = Sinyal input gelombang pulsa persegi

sedangkan bentuk spectral power density FSK ditunjukkan oleh gambar 2.5



GAMBAR 2.5<sup>10)</sup>

#### KERAPATAN DAYA SPEKTRUM FSK

Dari gambar 2.5 menunjukkan bahwa untuk yang  $f_d/r_b$  rendah, kurva mempunyai rol off yang baik puncaknya tepat pada frekuensi sinyal FSK adalah  $2r_b$  dan sama dengan lebar

<sup>10)</sup>Shannon, K. Sam, *Digital and Analog Communication Systems*, John Wiley and Sons, Inc., United State of America, 1979, hal. 409

bidang PSK. Bila  $f_d/r_b$  membesar maka puncak power spektral density terjadi pada frekuensi  $f_c + f_d$  dan  $f_c - f_d$ . Hal ini menyebabkan lebar bidang frekuensi FSK melebihi  $2r_b$ . Jika  $f_d/r_b$  terlalu besar, maka sinyal FSK terdiri dari dua sinyal ASK yang frekuensi carriernya berbeda yaitu  $f_c + f_d$  dan  $f_c - f_d$ .

Besarnya probabilitas of error sinyal FSK tergantung pada cara pendeteksiannya, yang meliputi pendeteksian coherent dan non coherent.

Untuk probability of error sinyal FSK yang dideteksi secara coherent adalah sebagai berikut :

$$P_e = Q \left[ \frac{r_{\max}}{2} \right]$$

dimana :  $P_e$  = Probability of error

$Q$  = Gaussian probability

$r_{\max}$  = harga maximum dari perbandingan threshold

$$r_{\max}^2 = \frac{2}{\eta} \int_0^{T_b} [s_2(t) - s_1(t)]^2 \dots \dots \dots (2.3)$$

dimana :  $\eta$  = efisiensi

$T_b$  = bit duration

bila :

$$s_1(t) = A \cos (w_c - w_d)t$$

$$s_2(t) = A \cos (w_c + w_d)t$$

persamaan (2.3) disubstitusikan ke persamaan (2.2) maka :

$$r_{\max}^2 = \frac{2A^2 T_b}{\eta} \left[ 1 - \frac{\sin 2 w_d T_b}{2 w_d T_b} \right] \dots\dots\dots (2.4)$$

Bila  $2w_d T_b = 3\pi/2$  maka harga  $r_{\max}^2$  menjadi :

$$r_{\max}^2 = (2,42) (A^2 T_b/h) \dots\dots\dots (2.5)$$

maka :

$$P_e = Q \left[ \sqrt{0,61 \frac{A^2 T_b}{\eta}} \right] \dots\dots\dots (2.6)$$

probability dalam bentuk daya rata-rata sinyal bila  $S_{av} = A^2/2$  adalah :

$$P_e = Q \left[ \sqrt{1,2 S_{av} T_b / \eta} \right] \dots\dots\dots (2.7)$$

dimana :  $S_{av}$  = Daya rata-rata sinyal FSK

sedangkan dalam bentuk energi rata-rata sinyal perbit bila

$E_{av} = A^2 T_b/2$  adalah :

$$P_e = Q \left[ \sqrt{1,2 \frac{E_{av}}{\eta}} \right]$$

dimana :  $E_{av}$  = Energi rata-rata sinyal per bit

Probability of error sinyal FSK bila dideteksi secara non koherent adalah :

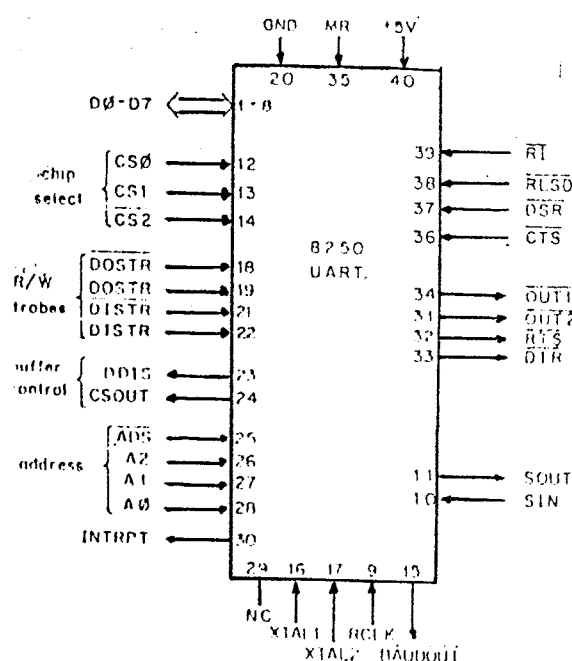
$$P_e = 1/2 \exp \left[ - \frac{A^2}{4N_0} \right] \dots\dots\dots (2.8)$$

dimana :  $N_0$  = Internal noise

Dari persamaan (2.7) maka pada penerima, probability of error sinyal non coherent FSK lebih besar dibanding probability of error sinyal coherent FSK, pada energi bit per kerapatan noise yang sama.

## 11.6. 8250 UART

Chip Universal Asynchronous Receiver/Transmitter hasil produksi National Semiconductor adalah MC 8250. Mampu melakukan operasi pengiriman/penerimaan data serial dalam berbagai bentuk (format) data. 8250 ini hanya mampu melakukan komunikasi serial mode asynchronous tetapi lebih kompleks dibandingkan dengan 8251. Gambar 2.6 menunjukkan konfigurasi pin-pin 8250.



GAMBAR 2.6<sup>11)</sup>

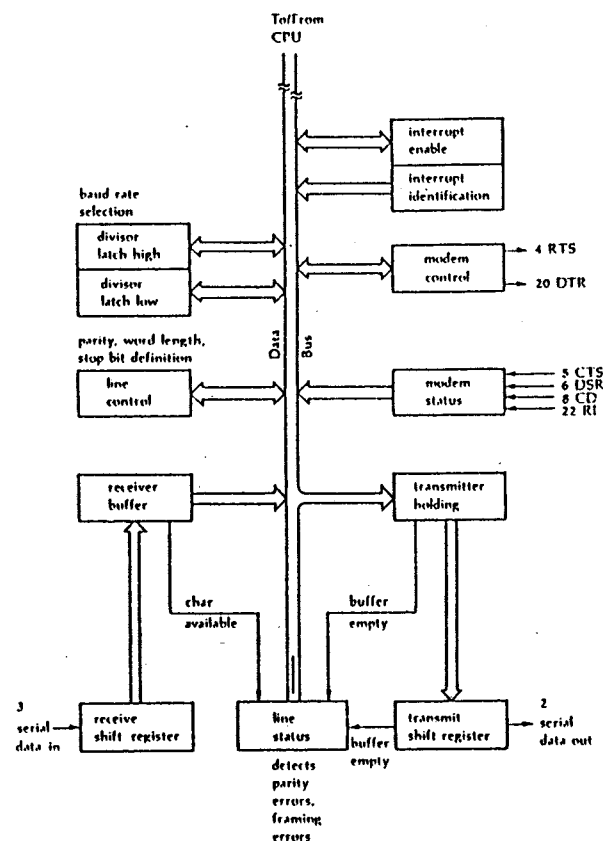
### KONFIGURASI 8250 UART

Tidak seperti pada 8251, chip 8250 ini mempunyai clock baud rate internal yang dapat diprogram untuk menghasilkan bermacam-macam baud rate. Selain itu 8250 juga berisi rangkaian internal yang menyebabkan pengoperasian dengan

<sup>11)</sup> IBM Personal Computer XT Technical Reference Manual, hal. 1-191

interrupt menjadi lebih mudah.

8250 memiliki 10 register (8 bit) yang dapat diprogram, tetapi 10 register tersebut di akses lewat 7 port address. Gambar 2.7 menunjukkan register yang ada pada 8250.



GAMBAR 2.7<sup>12)</sup>

### REGISTER-REGISTER 8250

dari 10 register yang ada, hanya 6 register yang diperlukan untuk kombinasi serial yang sederhana. Transmitter holding

<sup>12)</sup>Kruglinski, David, *Guide To IBM-PC Communications*, The Osborne/Mc Graw-Hill, 1986, hal. 188



register untuk menampung data yang akan dikirim. receive data register untuk menampung data diterima terbaru. Line control dan Line status register yang digunakan untuk menginialisasi dan memantau 8250. Dan 2 register lain yang penting adalah Baud Rate divisor (Low dan high byte) yang berguna untuk menentukan baud rate. Sisa 4 register yang belum disebut adalah register untuk modem kontrol dan modem status yang berguna untuk operasi 8250 dengan modem.

#### II.6.1. PENJELASAN PIN-PIN 8250

Berikut ini adalah penjelasan pin-pin 8250. Pin-pin pada 8250 dapat dikelompokkan menjadi 3 bagian <sup>13)</sup> yaitu pin-pin input, output dan pin-pin input/output.

##### II.6.1.1. PIN-PIN INPUT

- Chip select (CS0, CS1, CS2), pin 12-14

Bilamana CS0 dan CS1 berlogika '1' serta CS2 berlogika '0', 8250 akan enabel. Proses chip select ini terjadi jika sinyal chip select yang telah terdecode di latch dengan aktifnya pin input ADS (Address Strobe).

- Data input Strobe (DISTR, DISTR), pin 22 dan 21 logika '1' pada pin DISTR atau logika '0' pada pin DISTR bilamana chip enable akan menyebabkan CPU dapat membaca status informasi atau data dari register yang dipilih pada 8250. Karena hanya salah satu pin yang aktif (DISTR atau DISTR) untuk operasi pembacaan data tersebut maka hubungkan input DISTR

<sup>13)</sup> IBM Personal Computer XT Technical Reference Manual, op. cit. hal. 1-191

pada ground atau pin DISTR pada Vcc bilamana tidak digunakan.

- Data output Strobe (DOSTR, DOSTR), pin 19 dan 18 logika '1' pada pin DOSTR atau logika '0' pada pin DOSTR bilamana 8250 enable akan menyebabkan CPU dapat menulis data atau control word pada register yang dipilih pada 8250. Karena hanya salah satu pin yang aktif (DOSTR atau DOSTR) untuk operasi penulisan tersebut maka hubungan input DOSTR pada ground atau pin DOSTR pada Vcc bilamana tidak digunakan.
- Address Strobe (ADS), pin 25  
logika '0' pada pin ini akan menyebabkan register yang terpilih (A0, A1, A2) dan sinyal chip select (CS0, CS1, CS2) di latch. Aktifnya pin input ADS ini diperlukan bilamana sinyal pemilih register tidak stabil selama waktu durasi dari operasi pembacaan atau operasi penulisan. Bilamana tidak diperlukan hubungan input ADS pada ground.
- Register Select (A0, A1, A2), pin 26-28  
Tiga sinyal input ini diperlukan untuk memilih salah satu dari 10 register yang ada pada 8250 agar salah satu register tersebut dapat membaca atau menulis. Tabel 2.2 menunjukkan kondisi A0, A1, dan A2 untuk pemilihan 10 register tersebut. Dalam hal ini keadaan bit DLAB (Divisor Latch Access bit) yang merupakan most significant bit pada Line Control Register, menentukan pemilihan beberapa register tertentu pada 8250.
- Master Reset (MR), pin 35

Logika '1' pada pin ini akan mengosongkan semua register 8250 (kecuali receiver buffer, transmitter holding, dan divisor latches register) dan logic control pada 8250. Selain itu keadaan dari beberapa sinyal output seperti SOUT, INTRPT, OUT1, OUT2, RTS, DTR) juga dipengaruhi oleh

**TABEL 2.1<sup>14)</sup>**

**KONDISI A0, A1, A2 UNTUK PEMILIHAN REGISTER 8250**

DLAB	A2	A1	A0	Register
0	0	0	0	Receiver Buffer (Read), Transmitter Holding Register (Write)
0	0	0	1	Interrupt Enable
X	0	1	0	Interrupt Identification (Read Only)
X	0	1	1	Line Control
X	1	0	0	Modem Control
X	1	0	1	Line Status
X	1	1	0	Modem Status
X	1	1	1	None
1	0	0	0	Divisor Latch (Least Significant Bit)
1	0	0	1	Divisor Latch (Most Significant Bit)

aktifnya input MR. Keadaan reset 8250 ini ditunjukkan pada tabel 2.2

- Receiver Clock (RCLK), pin 9

input ini merupakan 16X clock baud rate untuk bagian receiver pada 8250

- serial input (SIN), pin 10

merupakan serial data yang berasal dari hubungan komunikasi serial (modem, piranti komunikasi).

- clear to Send (CTS), pin 36

<sup>14)</sup> Ibid, hal. 1-192

sinyal CTS merupakan sinyal kontrol modem dimana kondisi sinyal ini dapat dipantau dengan cara CPU membaca bit 4 dari modem status register. Bit 0 (DCTS) dari modem status register menunjukkan apakah keadaan input CTS telah berubah

**TABEL 2. 2<sup>15)</sup>**

**KONDISI RESET KOMUNIKASI ASYNCHRONOUS 8250**

Register/Signal	Reset Control	Reset State
Interrupt Enable Register	Master Reset	All Bits Low (0-3 Forced and 4-7 Permanent)
Interrupt Identification Register	Master Reset	Bit 0 is High, Bits 1 and 2 Low Bits 3-7 are Permanently Low
Line Control Register	Master Reset	All Bits Low
Modem Control Register	Master Reset	All Bits Low
Line Status Register	Master Reset	Except Bits 5 and 6 are High
Modem Status Register	Master Reset	Bits 0-3 Low Bits 4-7 - Input Signal
SOUT	Master Reset	High
INTRPT (RCVR Errors)	Read LSR/MR	Low
INTRPT (RCVR Data Ready)	Read RBR/MR	Low
INTRPT (RCVR Data Ready)	Read IIR/Write THR/MR	Low
INTRPT (Modem Status Changes)	Read MSR/MR	Low
OUT 2	Master Reset	High
RTS	Master Reset	High
DTR	Master Reset	High
OUT 1	Master Reset	High

selama pembacaan modem status register. bilamana keadaan bit CTS pada modem status register berubah, interrupt akan terjadi jika modem status interrupt enable.

- Data Set Ready (DSR), pin 37

<sup>15)</sup> Ibid, hal. 1-196

Logika '0' pada pin ini menunjukkan bahwa piranti komunikasi siap untuk berkomunikasi dengan 8250. Sinyal DSR ini merupakan sinyal kontrol modem dimana kondisi sinyal ini dapat dideteksi oleh CPU dengan membaca bit ke 5 (DSR) dari modem status register (DDSR) menunjukkan apakah sinyal DSR telah berubah selama pembacaan modem status register. Bilamana keadaan bit DSR dari modem status register berubah, interrupt akan terjadi jika modem status interrupt enabel.

- Received Line Signal detect (RLSD), pin 38

Logika '0' pada pin ini menandakan bahwa data carrier telah terdeteksi oleh modem atau data set. Sinyal RLSD ini dapat dideteksi oleh CPU dengan membaca bit 7 (RLSD) dari modem status register. Bit 3 (DRLSD) dari modem status register menunjukkan apakah kondisi sinyal RLSD telah berubah selama pembacaan modem status register. Bilamana keadaan bit RLSD dari modem status register berubah, interrupt akan terjadi jika modem status interrupt enabel.

- Ring Indikator (RI), pin 39

Logika '0' pada pin ini menandakan bahwa sinyal dering telepon telah diterima oleh modem atau data set. Sinyal RI ini merupakan sinyal input kontrol modem dimana kondisi sinyal ini dapat dideteksi oleh CPU dengan membaca bit 6 (RI) dari modem status register. Bit 2 (TER1) dari modem status register menandakan apakah sinyal input RI telah berubah dari logika '0' ke logika '1' selama pembacaan

modem status register. Bilamana bit RI dari modem status register berubah dari '1' ke '0', interrupt akan terjadi jika modem status interrupt enabel.

- Vcc, pin 40

catu tegangan sebesar + 5 Vdc.

- Vas, pin 20

Sinyal ground.

#### 11.6.1.2. PIN-PIN OUTPUT

- Data Terminal Ready (DTR), pin 33

Logika '0' pada pin ini memberitahukan modem atau data set bahwa 8250 siap untuk berkomunikasi. Sinyal output DTR dapat di set aktif 'low' dengan memrogram bit '0' (DTR) dari modem kontrol register berlogika '1'. Ketika master reset terjadi, sinyal DTR di-set berlogika '1'.

- Request To Send (RTS), pin 33

Logika '0' pada pin ini akan memberitahu modem atau data set bahwa 8250 siap untuk mengirim data. Sinyal output RTS ini dapat di-set aktif 'low' dengan memrogram bit 1 (RTS) dari modem kontrol register. Ketika master reset terjadi, sinyal RTS diset berlogika '1'.

- Output 1 (OUT 1), pin 34

User-designated Output <sup>16)</sup> yang dapat di-set aktif 'low' dengan memrogram bit 2 (OUT 1) dari modem kontrol register berlogika '1'. Sinyal OUT 1 di-set 'high' ketika operasi

<sup>16)</sup> Ibid, hal. 1-194

master reset berlangsung.

- Output 2 (OUT 2), pin 31

User-designated Output yang dapat di-set aktif 'low' dengan memrogram bit 3 (OUT 2) dari modem kontrol register berlogika '1'. Sinyal OUT 2 di-set 'high' ketika operasi master reset berlangsung.

- Chip Select Out (CSOUT), pin 24

logika '1' pada pin ini menandakan bahwa 8250 telah enabel dengan aktifnya input-input CS0, CS1, dan CS2.

- Driver Dissabel (DDIS), pin 23

pin ini akan berlogika '0' bilamana CPU sedang membaca data dari 8250. Logika '1' pada pin output DDIS dapat digunakan untuk menghentikan (disabel) transmisi keluar (eksternal) kecuali jika CPU membaca data.

- Baud Out (BAUDOUT), pin 15

Merupakan sinyal clock sebesar 16X baud rate pada bagian transmitter dari 8250. Besar sinyal clock ini sama dengan frekuensi frekuensi oscilator pada 8250 dibagi dengan bilangan pembagi tertentu pada 'baud' generator divisor latches. BAUDOUT juga dapat digunakan pada bagian receiver dengan mengumpankan pin output ini pada pin input RCLK 8250.

- Interrupt (INTRPT), pin 30

Pin ini akan aktif bilamana tipe-tipe interrupt seperti received error flag, received data available, transmitter holding register empty dan modem status mempunyai kondisi

'1' dan di-enable melalui IER. Sinyal INTRPT ini di-reset 'low' .Ketika sedang melayani permintaan interrupt tertentu dan ketika operasi master reset sedang terjadi.

- Serial Output (SOUT), pin 11

merupakan data serial yang dikirimkan pada piranti komunikasi (modem atau data set). Sinyal SOUT diset pada kondisi marking (logika '1') ketika master reset terjadi.

### II.6.1.3. PIN-PIN INPUT/OUTPUT

- Data (D7 - D0) Bus, pin 1 - 8

Data bus ini merupakan 8 jalur input/output tristate. Data bus ini memungkinkan komunikasi 2 arah antara 8250 dan CPU. Data control word dan informasi dipindahkan melalui data bus ini.

- Eksternal Clock input/output (XTAL1, XTAL2), pin 16 dan pin 17. Kedua pin ini menghubungkan kristal/sinyal clock pada chip 8250.

### II.6.2. PEMROGRAMAN 8250

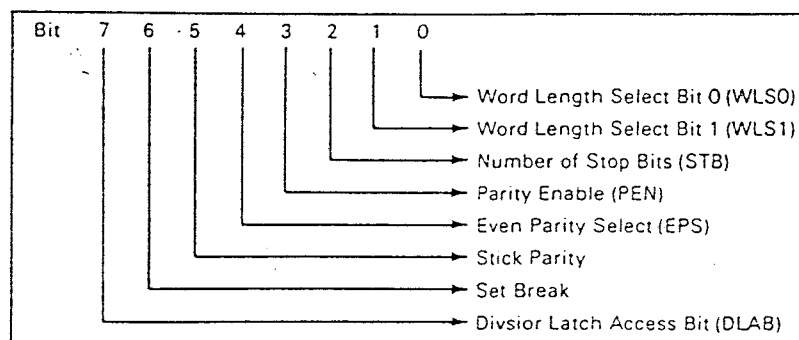
8250 mempunyai beberapa register yang dapat diakses dan diprogram sesuai dengan sistem komunikasi yang diinginkan. Pemrograman untuk mengakses atau memrogram register-register tersebut dapat digunakan untuk mengontrol operasi 8250 mengirim data dan menerima data. Berikut ini adalah keterangan masing-masing register tersebut.

#### II.6.2.1. LINE CONTROL REGISTER (LCR)

Register ini merupakan sarana memrogram format data



dari sistem komunikasi serial asynchronous yang diinginkan. Isi dari Line Control Register (LCR) ditunjukkan pada gambar 2.8 berikut :



**GAMBAR 2.8<sup>17)</sup>**

#### **LINE CONTROL REGISTER**

- Bit 0 dan 1 (Word Length Select Bit/WLS0 dan WLS1)

Kedua bit ini menentukan jumlah dari setiap data karakter serial yang dikirim atau diterima 8250. Tabel 2.3 menunjukkan kombinasi bit 0 dan 1 yang menentukan jumlah bit setiap data karakter.

- Bit 2 (Number of Stop Bit/STB)

Bit ini menentukan jumlah stop bit dari setiap data karakter yang dikirim atau diterima 8250. Jika bit 2 berlogika '0', maka jumlah stop bit adalah 1.

Jika bit 2 berlogika '1' dan panjang setiap data karakter 5 bit maka jumlah stop bit adalah 1½. Jika bit 2 berlogika

<sup>17)</sup> Ibid, hal. 1-197

**TABEL 2. 3**  
**KOMBINASI BIT 1 DAN 0 DARI LCR**

Bit 1	Bit 0	Word Length
0	0	5 bit
0	1	6 bit
1	0	7 bit
1	1	8 bit

'1' tetapi panjang data karakter 6, 7 atau 8 bit maka stop bit berjumlah 2.

- Bit 3 (Parity Enable/PEN)

Bit ini merupakan parity enabel bit dimana logika '1' pada bit ini akan menyebabkan bit parity dibangkitkan (pada sisi kirim) atau dideteksi (pada sisi terima). Bit parity ini digunakan untuk menghasilkan jumlah '1' genap (even party) atau ganjil (odd party) bilamana bit-bit '1' dari data karakter dan bit parity dihitung banyaknya.

- Bit 4 (Even Parity Select)

Bit ini digunakan untuk memilih parity genap (even parity). Logika '1' pada bit 3 (PEN) dan logika '0' pada bit 4 ini merupakan parity ganjil dan logika '1' pada bit 3 (PEN) dan logika '1' pada bit 4 merupakan parity genap.

- Bit 5 (Stick Parity)

Logika '1' pada bit 5 ini dan logika '1' pada bit 3 (PEN) akan menyebabkan parity bit dikirimkan dan kemudian dideteksi oleh penerima sebagai logika '0' bila bit 4

berlogika '1' atau sebagai logika '1' bila bit 4 berlogika '0'.

- Bit 6 (Set Break)

Logika '1' pada bit ini akan menyebabkan serial output (SOUT) berada pada kondisi Spacing (logika '0') dan tetap demikian walaupun bagian transmisi masih bekerja. Set Break ini dapat dimatikan (disabled) dengan men-set bit 6 pada logika '0'

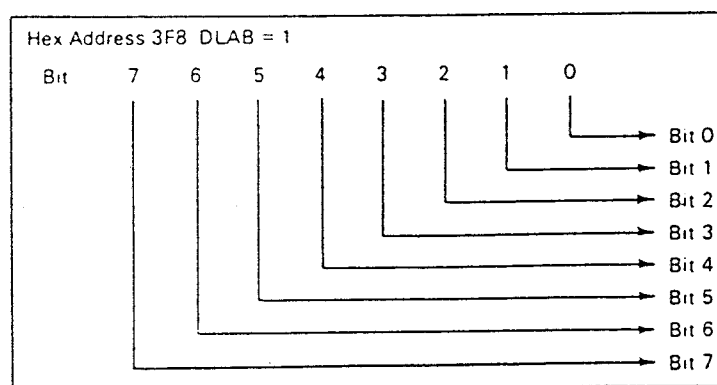
- Bit 7 (Divisor Latch Access Bit/DLAB)

Logika '1' pada bit ini menyebabkan CPU dapat mengakses divisor latch dari pembangkit baud rate selama operasi read atau write. Ketika CPU mengakses receiver buffer, transmitter holding register atau interrupt enable register, bit 7 ini harus berlogika '0'.

#### 11.6.2.2. DIVISOR LATCH LEAST/MOST SIGNIFICANT BIT (DLL DAN DLM)

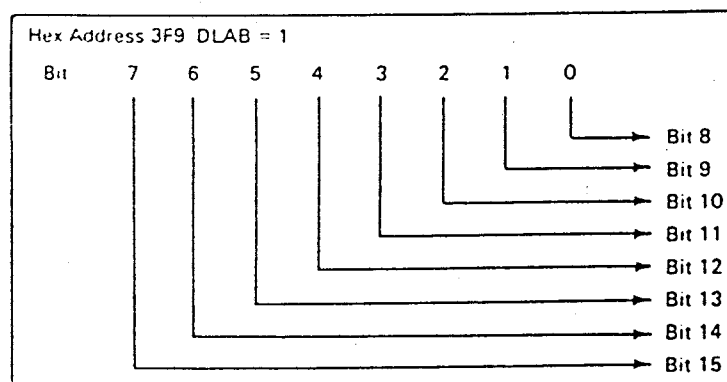
8250 Berisi programmabel baud rate generator yang mampu membagi clock input dengan suatu pembagi dari 1 sampai ( $2^{16} - 1$ ). Frekuensi output dari baud generator sebesar  $16 \times$  baud rate (pembagi = frekuensi clock input ( $16 \times$  baud rate)). Dua register latch 8 bit digunakan untuk menyimpan pembagi dalam format 16 bit biner. Divisor register latch ini harus diakses selama proses inialisasi agar operasi dari baud rate generator sesuai dengan yang diinginkan. Gambar 2.9 dan 2.10 menunjukkan konfigurasi dari 16 bit register latch.

Frekuensi maksimum yang diperbolehkan pada baud rate generator 8250 adalah sebesar 3.1 MHz. Tabel 2.4 menunjukkan angka-angka pembagi yang digunakan untuk menghasilkan bermacam-macam baud rate yang diinginkan pada frekuensi baud rate generator sebesar 2 MHz.



GAMBAR 2. 9<sup>18)</sup>

#### DIVISOR LATCH LEAST SIGNIFICANT BIT (DLL)



GAMBAR 2. 10<sup>19)</sup>

#### DIVISOR LATCH MOST SIGNIFICANT BIT (DLM)

<sup>18)</sup>Ibid, hal. 1-199

<sup>19)</sup>Ibid, hal. 1-200

TABEL 2. 4<sup>16)</sup>

## ANGKA-ANGKA PEMBAGI PADA FREKUENSI CLOCK 2 MHz

Desired Baud Rate	Divisor Used to Generate 16x Clock		Percent Error Difference Between Desired and Actual
	(Decimal)	(Hex)	
50	2304	900	—
75	1536	600	—
110	1047	417	0.026
134.5	857	359	0.058
150	768	300	—
300	384	180	—
600	192	0C0	—
1200	96	060	—
1800	64	040	—
2000	58	03A	0.69
2400	48	030	—
3600	32	020	—
4800	24	018	—
7200	16	010	—
9600	12	00C	—

## II.6.2.3. LINE STATUS REGISTER

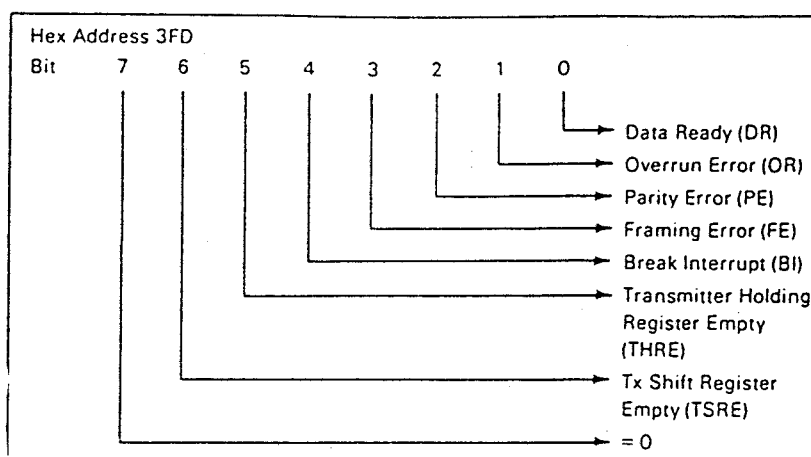
Register 8 bit ini memberikan informasi tentang status dari CPU yang berkaitan dengan transfer data. Isi dari line status register ditunjukkan pada gambar 2.11.

## - Bit 0 (Data Ready/DR)

Bit ini merupakan indikator dari receiver data ready (DR). bit 0 ini akan di-set '1' bilamana sudah lengkap dan siap dikirimkan ke receiver buffer register. Bit '0' dapat di reset berlogika '0' baik pada saat CPU sedang membaca data pada receiver buffer register atau ketika CPU menulis logika '0' pada register ini.

## - Bit 1 (Overrun Error/OR)

Bit ini merupakan indikasi adanya overrun error. overrun error ini terjadi jika data yang ada pada receiver buffer register belum sempat terbaca oleh CPU namun receiver

GAMBAR 2.11<sup>20)</sup>**LINE STATUS REGISTER**

buffer register sudah diisi lagi dengan data yang baru. Sehingga data yang belum sempat terbaca hilang. Bit OE akan di-reset ketika CPU membaca isi line status register.

- Bit 2 (Parity Error)

Bit ini merupakan indikasi adanya parity error. Parity error ini terjadi bilamana data yang diterima tidak mempunyai jumlah parity yang tepat seperti ketika di-set pertama kali (genap/ganjil). Bit PE ini akan di-set berlogika '1' ketika terjadi parity error dan di-reset pada saat line status register dibaca CPU.

- Bit 3 (Framming Error/FE)

Logika '1' pada bit ini menunjukkan bahwa Framing error terjadi. Framing error terjadi jika karakter yang diterima tidak mempunyai stop bit yang tepat (valid). Bit ini di-reset pada saat line status register dibaca CPU.

- Bit 4 (Break Interrupt/BI)

<sup>20)</sup>Ibid, hal. 1-201

Bit ini merupakan indikator terjadinya break interrupt. Bit ini di-set '1' bilamana data yang diterima berlogika '0' selama lebih dari waktu yang dibutuhkan untuk 1 data karakter (total waktu dari start bit + data bit + parity + stop bit). Bit ini direset ketika CPU membaca line status register.

- Bit 5 (Transmitter Holding Register Empty/THRE)

Bit ini menunjukkan bahwa 8250 siap untuk menerima data karakter baru yang akan dikirim. Aktifnya bit ini dapat menyebabkan 8250 meng-interrupt CPU bilamana Transmitter holding register empty interrupt enable di-set '1'. Bit THRE di-set '1' bila data karakter sudah ditransfer ke transmitter shift register dan di-reset saat transmitter holding register dibaca CPU.

- Bit 6 (Transmitter Shift Register Empty/TRSE)

Logika '1' pada bit ini menandakan bahwa transmitter shift register sedang menunggu adanya karakter dari transmitter dari holding register. Bit ini di-reset pada saat transmitter holding register mengirim data ke transmitter shift register. Bit 6 ini merupakan bit yang hanya dapat dibaca.

- Bit 7

Bit ini selalu di-set '0'.

#### 11.6.2.4. INTERRUPT IDENTIFICATION REGISTER

8250 mempunyai rangkaian interrupt internal yang dapat dikendalikan/diprogram dengan perangkat lunak. Selain itu

interrupt pada 8250 ini juga dilengkapi dengan prioritas 4 tingkat (level) dengan urutan sebagai berikut :

Prioritas 1 : Receiver line status

Prioritas 2 : Received data ready

Prioritas 3 : Transmitter holding register empty

Prioritas 4 : Modem status

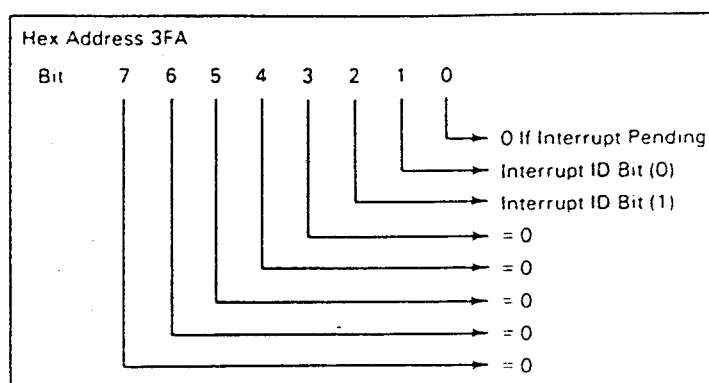
Informasi tentang prioritas interrupt tersebut selalu dideteksi dan tipe dari prioritas interrupt disimpan pada interrupt identification register. Isi dari interrupt identification register ditunjukkan pada gambar 2.12.

- Bit 0 (Interrupt Pending)

Logika '0' pada bit ini menunjukkan bahwa kondisi interrupt terjadi. Dan logika '1' pada bit 0 ini menunjukkan bahwa interrupt tidak terjadi dan proses polling tetap berlanjut.

- Bit 1 dan 2 (Interrupt ID)

Dua bit ini digunakan untuk menentukan prioritas interrupt



GAMBAR 2.12<sup>21)</sup>

**INTERRUPT IDENTIFICATION REGISTER**

<sup>21)</sup>Ibid, hal. 1-203



TABEL 2. 5<sup>22)</sup>

## KOMBINASI BIT 0, 1 DAN 2 PADA IIR

Interrupt ID Register			Interrupt Set and Reset Functions			
Bit 2	Bit 1	Bit 0	Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Control
0	0	1		None	None	
1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error or Framing Error or Break Interrupt	Reading the Line Status Register
1	0	0	Second	Received Data Available	Receiver Data Available	Reading the Receiver Buffer Register
0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register
0	0	0	Fourth	Modem Status	Clear to Send or Data Set Ready or Ring Indicator or Received Line Signal Direct	Reading the Modem Status Register

yang akan terjadi. Tabel 2. 5. menunjukkan kombinasi bit-bit 0, 1, dan 2 dari Interrupt identification Register yang menentukan Interrupt Control Function.

- Bit 3 - bit 7

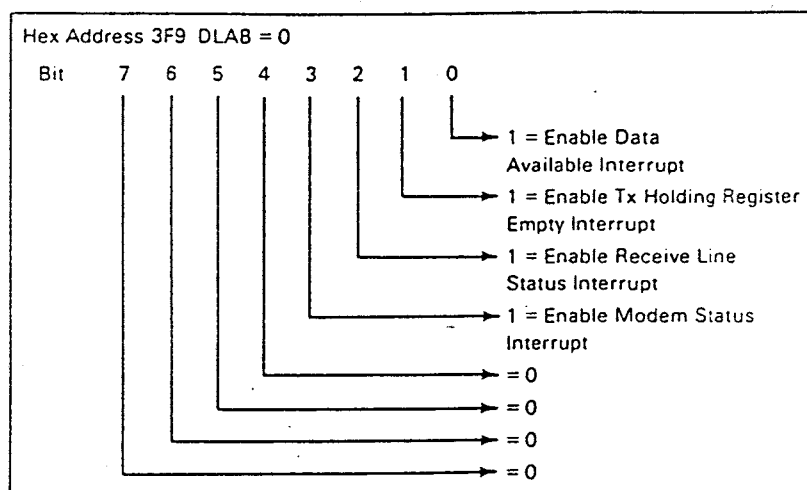
Bit 3 sampai dengan bit 7 ini selalu di-set '0'.

#### II.6.2.5. INTERRUPT ENABEL REGISTER (IER)

Register 8 bit ini memungkinkan keempat bentuk interrupt yang ada pada 8250 untuk secara terpisah mengaktifkan sinyal output INTRPT. Selain itu lewat register ini sistem interrupt yang ada juga dapat dimatikan dengan cara me-reset bit 0 sampai bit 3 pada logika '0'. Keempat

<sup>22)</sup>Ibid, hal. 1-204

bentuk interrupt yang ada pada 8250 masing-masing dapat diaktifkan dengan cara men-set bit 0 sampai bit 3 yang sesuai dengan bentuk interrupt yang dikehendaki. Isi dari interrupt enable register ditunjukkan seperti pada gambar 2.13.



GAMBAR 2.13<sup>23)</sup>

#### INTERRUPT ENABLE REGISTER

- Bit 0

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt received data ready (prioritas 2)

- Bit 1

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt transmitter holding register empty (prioritas 3).

- Bit 2

Logika '1' pada bit ini akan mengakibatkan bentuk interrupt receive line status (prioritas 1)

- Bit 3

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt

<sup>23)</sup> Ibid, hal. 1-205

modem status (prioritas 4).

- Bit 4 - bit 7

Keempat bit ini selalu di set '0'.

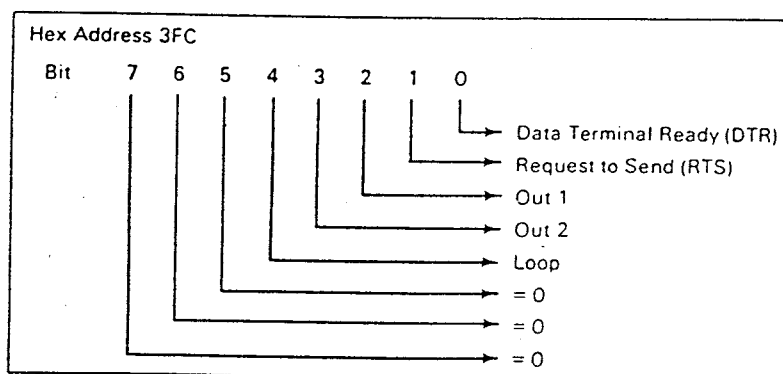
#### 11.6.2.6. MODEM CONTROL REGISTER

Register 8 bit ini digunakan untuk mengontrol modem.

Isi dari modem control register seperti pada gambar 2.14.

- Bit 0 (Data Terminal Ready)

Bit ini digunakan untuk mengontrol sinyal output data terminal ready. Logika '1' pada bit ini akan menyebabkan pin DTR berlogika '0'. Sebaliknya logika '0' pada pin ini akan men-set pin DTR berlogika '1'.



GAMBAR 2.14<sup>24)</sup>

#### MODEM CONTROL REGISTER

- Bit 1 (Request To Send)

Merupakan bit pengontrol pin output request to send (RTS).

Keadaan bit 1 dalam mempengaruhi pin RTS sama seperti pada bit 0.

- Bit 2 (Out 1)

Logika '1' pada bit ini akan menyebabkan pin OUT 1 pada

<sup>24)</sup>Ibid, hal. 1-206

Kondisi '0' sebaliknya logika '0' akan menyebabkan OUT 1 pada kondisi '1'.

- Bit 3 (Out 2)

Logika '1' pada bit ini akan menyebabkan pin OUT 2 pada kondisi '0' dan sebaliknya logika '0' akan menyebabkan OUT 2 pada kondisi '1'.

- Bit 4 (Loop)

bit ini merupakan sarana untuk memeriksa operasi dari 8250.

Logika '1' pada bit ini akan mengakibatkan hal-hal sebagai berikut :

- Transmitter Serial Output (SOUT) berada pada kondisi 'marking' dan Receiver Serial Input (SIN) tidak terhubung.
- output dari transmitter Shift Register diumpankan kembali ke input Receiver Shift Register.
- Keempat input pengontrol modem (CTS, DSR, RLSD dan RI) tidak terhubung dan Keempat output pengontrol modem (DTR, RTS, OUT 1 dan OUT 2) dihubungkan internal ke input dari Keempat input pengontrol modem diatas. Pada saat pengujian dilakukan, data yang dikirimkan segera diterima kembali. Keistimewaan ini membuat CPU dapat memeriksa pengiriman dan penerimaan data pada 8250. Ketika pengujian berlangsung sistem interrupt dapat diaktifkan dengan interrupt enable register.

logika '0' pada bit ini akan mengembalikan 8250 pada operasi

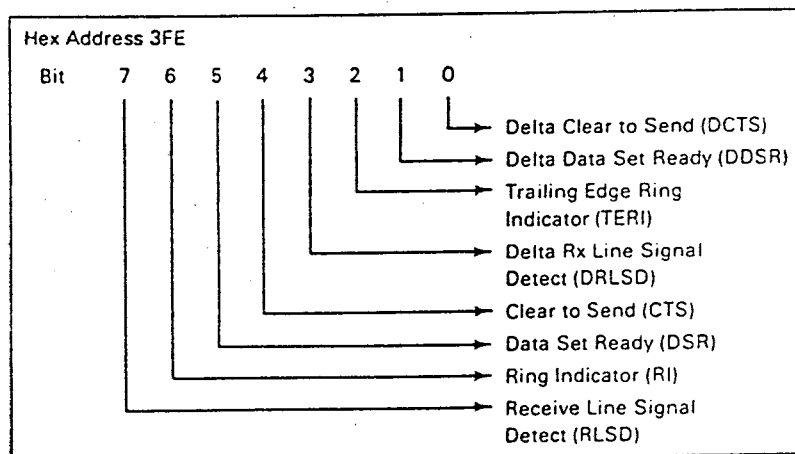
normal.

- Bit 5 - bit 7

Ketiga bit ini selalu pada logika '0'.

#### 11.6.2.7. MODEM STATUS REGISTER

Merupakan 8 bit register yang digunakan sebagai indikator dari pin-pin pengontrol modem. Empat bit dari modem status register ini digunakan untuk memberikan informasi tentang perubahan-perubahan yang terjadi pada pin pengontrol modem. Bit-bit ini akan di-set '1' bilamana ada perubahan yang terjadi dan akan di-reset '0' pada saat CPU membaca modem status register ini. Bit-bit dari modem status register ditunjukkan pada gambar 2.15 berikut.



GAMBAR 2.15<sup>25)</sup>

#### MODEM STATUS REGISTER

- Bit 0 (Delta Clear To Send/DCTS)

Merupakan bit indikator dari delta clear to send yang menunjukkan bahwa input CTS telah berubah sejak terakhir kali ketika dibaca CPU.

<sup>25)</sup> Ibid, hal. 1-208

- Bit 1 (Delta Data Set Ready/DDS<sup>R</sup>)

Merupakan bit indikator dari delta data set ready yang menunjukkan bahwa input DSR telah berubah sejak terakhir kali ketika dibaca CPU.

- Bit 2 (Trailing Edge Ring Indicator/TERI)

Merupakan bit indikator dari trailing edge ring yang menunjukkan bahwa input RI telah berubah dari logika '1' menuju logika '0'.

- Bit 3 (Delta RX LineSignal Detect)

merupakan bit indikator dari delta received line signal detector yang menunjukkan bahwa input RLSD telah berubah keadaan.

- Bit 4 (Cler TO Send/CTS)

Bit ini merupakan komplemen dari sinyal input CTS. bila bit 4 (Loop) dari MCR pada logika '1', bit ini merupakan RTS pada MCR.

- Bit 5 (Data Set Ready/DSR)

Bit ini merupakan sinyal komplemen dari input DSR. Bila bit 4 (Loop) dari MCR pada logika '1', bit ini merupakan DTR pada MCR.

- Bit 6 (Ring Indicator/RI)

Bit ini merupakan komplemen dari sinyal input RI. Bila bit 4 (Loop) dari MCR pada logika '1', bit ini merupakan OUT 1 pada MCR.

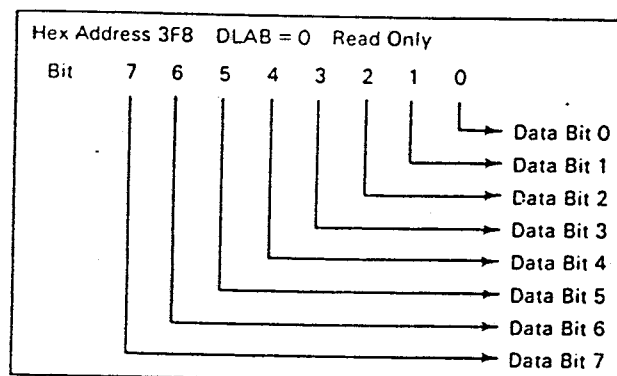
- Bit 7 (Receive Line Signal Detect/RLSD)

Bit ini merupakan komplemen dari sinyal input RLSD. Bila

bit 4 (Loop) dari MCR pada logika '1', bit ini merupakan OUT 2 pada MCR.

#### II.6.2.8. RECEIVER BUFFER REGISTER

Receiver buffer register berisi data karakter yang diterima. Bit 0 merupakan least significant bit dan yang pertama kali diterima. Receiver buffer register ditunjukkan pada gambar 2.16.



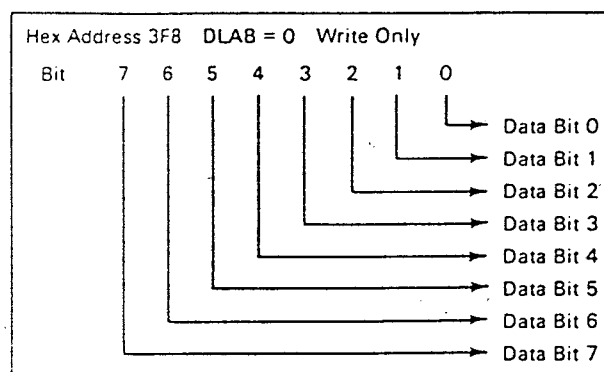
**GAMBAR 2.16<sup>26)</sup>**

#### **RECEIVER BUFFER REGISTER**

<sup>26)</sup>Ibid, hal. 1-210

### II. 6. 2. 9. TRANSMITER HOLDING REGISTER

Transmitter holding register berisi data karakter yang akan ditransmisikan secara serial. Bit 0 merupakan least significant bit dan yang ditransmisikan pertama kali. Transmitter ditunjukkan pada Gambar 2.17.



GAMBAR 2.17<sup>27)</sup>

### TRANSMITER HOLDING REGISTER

### II. 7. SERIAL INTERFACE STANDART EIA RS-232 C

Standart yang dikembangkan oleh Electronic Industries Association ini mengatur interfacing antara komputer dengan modem (modulator demodulator). Dalam istilah komunikasi data, komputer umumnya disebut Data Terminal Equipment (DTE) dan modem disebut Data Communication Equipment (DCE). Pada perkembangan selanjutnya, ternyata RS-232 tidak terbatas pada hubungan komputer dengan modem, tetapi juga antara komputer dengan piranti periferal lainnya, misalnya printer, mouse dan lain-lainya.

<sup>27)</sup> Ibid, hal. 1-211



Standar paling baru dari RS-232 adalah EIA RS-232 D yang dipublikasikan pada bulan Januari 1987, yang merupakan revisi dari RS-232 C. Dalam tugas akhir ini akan dibahas standar RS-232 C karena standar ini masih umum digunakan. Standar ini menetapkan fungsi dari 25 pin penghubung untuk komunikasi seri, juga menetapkan level tegangan, level impedansi, rise time dan fall time, kecepatan bit maksimum dan kapasitas maksimum untuk kawat penghubung.

RS-232 C mempunyai 25 pin, tetapi tidak mutlak ke-25 pin ini harus digunakan semua, tergantung pada sistem yang digunakan. RS-232 C memberikan ketentuan, bahwa konektor pada DTE haruslah male, dan konektor pada DCE haruslah female. Konektor yang umum digunakan adalah DB-25P male dan DB-25S female. Gambar 2.18 memperlihatkan konektor DB-25P beserta nomor-nomor pinnya.

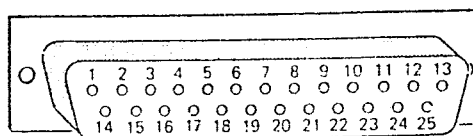
Tabel 2.6 memberikan spesifikasi listrik dari standart RS-232 C menggunakan logika negatif, jadi tingkat logika 1 berada dalam daerah tegangan -3 sampai -15 Volt (-25 Volt tanpa beban), dan tingkat logika 0 berada dalam daerah 3 sampai 15 Volt (25 Volt tanpa beban).

Kapasitansi maksimum dari kabel penghubung yang diperbolehkan adalah 2500 pF. Dengan mengingat bahwa kapasitansi kabel multikonduktor berkisar pada 150 pF, maka transmisi data dengan RS-232 sesungguhnya tidak dapat melebihi 15m. Resistansi keluaran dari sistem ditetapkan tidak boleh kurang dari 300 Ohm, dan arus maksimum yang diperbolehkan adalah

TABEL 2. 6

## SPESIFIKASI LISTRIK RS-232 C

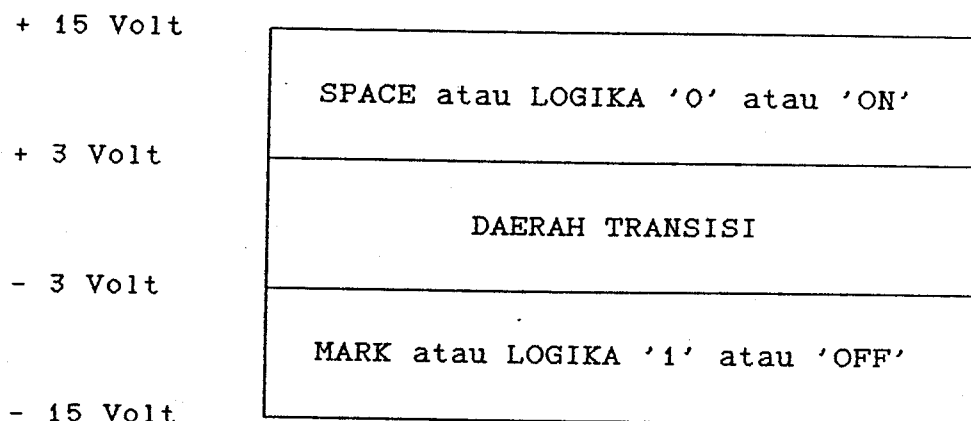
SPESIFIKASI LISTRIK RS-232 C	
TINGKAT KELUARAN PENGGERAK DENGAN BEBAN 3 SAMPAI 7 K Ohm	LOGIKA 0: +5 SAMPAI - 15
TEGANGAN KELUARAN PENGGERAK TANPA BEBAN	- 25 SAMPAI 25 V
IMPEDANSI KELUARAN PENGGERAK TANPA CATU DAYA	LEBIH BESAR DARI 300 Ohm
ARUS SHORT CIRCUIT	KURANG DARI 0,5 A
KECEPATAN NAIK KELUARAN PENGGERAK	KURANG DARI 30 V/ $\mu$ s
IMPEDANSI MASUKAN PENERIMA	ANTARA 3 K $\Omega$ - 7 K $\Omega$
JANGKAUAN TEGANGAN MASUK PENERIMA YANG DIPERBOLEHKAN	- 25 SAMPAI 25 V
KELUARAN PENERIMA DENGAN MASUKAN HUBUNGAN TERBUKA	LOGIKA 1
KELUARAN PENERIMA DENGAN HAMBATAN 300 $\Omega$ KE TANAH PADA MASUKAN	LOGIKA 1
KELUARAN PENERIMA DENGAN MASUKAN + 3 V	LOGIKA 0
KELUARAN PENERIMA DENGAN MASUKAN - 3 V	LOGIKA 0
KAPASITANSI BEBAN MAKSIMUM	2500 pF

GAMBAR 2. 18<sup>281</sup>

## KONEKTOR DB-25P UNTUK RS-232

<sup>281</sup>Hall, *op. cit.*, hal. 450

500 mA, tanpa menimbulkan kerusakan pada sistem. Slew rate (Kecepatan naik) maksimum dari penggerak adalah 30 Volt/ms. Kecepatan pengiriman data maksimum yang diijinkan adalah 20 KBit/s. Gambar 2.19 menjelaskan level tegangan sinyal yang menyatakan logika '0' dan '1' yang ditunjukkan.



**GAMBAR 2.19**

**KEABSAHAN SINYAL PADA RS-232 C**

**II.7.1 PIN-PIN RS-232 C**

Pada dasarnya ke-25 pin tersebut dapat digolongkan atas 4 fungsi :

1. Ground
2. Pertukaran data
3. Kontrol
4. Pewaktu

Tabel 2.7 memperlihatkan nama sinyal dilihat dari DCE, dan penjelasan singkat mengenai fungsi pin. Seperti telah disebutkan sebelumnya, ke-25 pin ini tidak perlu digunakan semuanya, hal ini tergantung pada sistem yang akan didesain.

TABEL 2. 7<sup>29)</sup>

## SPESIFIKASI PIN RS-232 C

PIN NUMBER	COMMON NAME	RS-232-C NAME	DESCRIPTION	SIGNAL DIRECTION ON DCE
1		AA	PROTECTIVE GROUND	-
2	TXD	BA	TRANSMITTED DATA	IN
3	RXD	BB	RECEIVED DATA	OUT
4	RTS	CA	REQUEST TO SEND	IN
5	CTS	CB	CLEAR TO SEND	OUT
6	DSR	CC	DATA SET READY	OUT
7	GND	AB	SIGNAL GROUND (COMMON RETURN)	-
8	CD	CF	RECEIVED LINE SIGNAL DETECTOR	OUT
9		-	(RESERVED FOR DATA SET TESTING)	-
10		-	(RESERVED FOR DATA SET TESTING)	-
11		SCF	UNASSIGNED	-
12		SCB	SECONDARY REC'D. LINE SIG. DETECTOR	OUT
13		SBA	SECONDARY CLEAR TO SEND	OUT
14		DB	SECONDARY TRANSMITTED DATA	IN
15			TRANSMISSION SIGNAL ELEMENT TIMING (DCE SOURCE)	OUT
16		SBB	SECONDARY RECEIVED DATA	OUT
17		DD	RECEIVER SIGNAL ELEMENT TIMING (DCE SOURCE)	OUT
18			UNASSIGNED	-
19		SCA	SECONDARY REQUEST TO SEND	IN
20	DTR	CD	DATA TERMINAL READY	IN
21		CG	SIGNAL QUALITY DETECTOR	OUT
22		CE	RING INDICATOR	OUT
23		CH/CI	DATA SIGNAL RATE SELECTOR (DTE/DCE SOURCE)	IN/OUT
24		DA	TRANSMIT SIGNAL ELEMENT TIMING (DTE SOURCE)	IN
25			UNASSIGNED	-

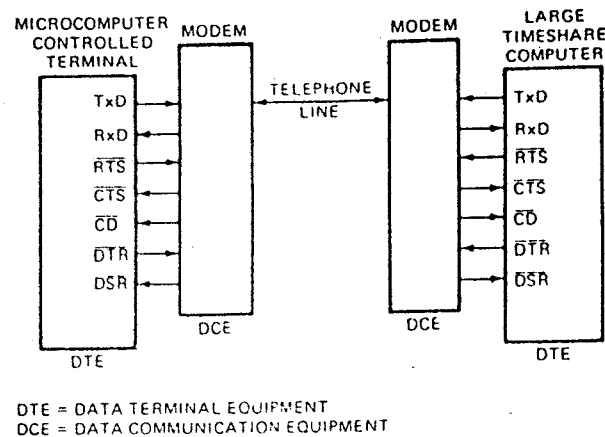
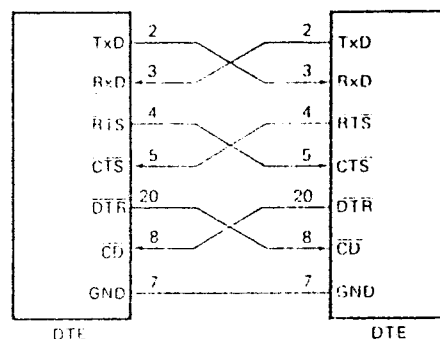
Perhatikanlah bahwa ada 2 Pin penghubung tanah, yaitu pin no 7 yang merupakan penghubung tanah bagi sinyal dan pin no 1 yang merupakan penghubung bagi chasis. Untuk menghindari timbulnya arus yang besar kedua pin ini dapat dihubungkan (pin yang terdapat pada DTE). Pin yang paling umum digunakan dalam suatu sistem yang sederhana adalah pin dari sinyal TxD, RxD dan sinyal handshaking. Pin sinyal TxD (pin no 2) digunakan untuk transmisi data serial, sedangkan pin sinyal RxD digunakan untuk menerima data serial. Sinyal-sinyal handshaking umumnya digunakan antara komputer dengan modem. Berikut dijelaskan proses urutan sinyal yang terjadi ketika komputer berkomunikasi dengan modem.

<sup>29)</sup> Ibid, hal. 451

Ketika komputer dihidupkan komputer akan melakukan beberapa self-check dan mengirim sinyal Data Terminal Ready (DTR ; aktif low) untuk memberitahu modem bahwa komputer siap. Jika modem juga dihidupkan dan siap untuk mengirim atau menerima data maka modem akan mengirimkan signal Data Set Ready (DSR) kepada komputer dan mencari hubungan dengan komputer ke dua lihat gambar 2.20 Kemudian jika komputer mempunyai data yang siap untuk dikirimkan, komputer akan memberikan sinyal Request To Send (RTS) kepada modem, kemudian modem memberikan respon dengan memberikan sinyal carrier detect (CD) kepada komputer pertama yang menandakan bahwa modem telah membuat hubungan dengan komputer kedua, ketika modem telah benar-benar siap untuk mengirim data, modem akan mengirim sinyal Clear To Send (CTS) kepada komputer pertama. Komputer pertama kemudian akan mengirim data seri kepada modem. Jika komputer telah selesai mengirimkan seluruh datanya, komputer akan me-non aktif-kan sinyal RTS, yang akan menyebabkan modem me-non aktif-kan sinyal CTS dan berhenti mengirim. Sinyal-sinyal handshaking juga terjadi antara modem dengan komputer kedua.

#### 11.7.2. MENGHUBUNGAN RS-232 C

Hubungan pin-pin RS-232 C untuk komunikasi antar dua komputer tanpa menggunakan modem dapat dilihat pada gambar 2.21. Hubungan menyilang ini lazim disebut null modem. Dapat dilihat pada gambar bahwa pin TxD pada komputer pertama dihubungkan dengan pin RxD pada komputer , kedua dan

GAMBAR 2. 20<sup>30)</sup>**TRANSMISI DATA DENGAN MODEM**GAMBAR 2. 21<sup>31)</sup>**HUBUNGAN RS-232 C TANPA MODEM**

sebaliknya. Sinyal-sinyal handshaking adalah juga saling menyilang, sehingga setiap sinyal mendapat pasangannya masing-masing.

RS-232 C juga digunakan untuk komunikasi antar komputer dengan piranti periferalnya, seperti printer,

<sup>30)</sup> Ibid, hal. 444

<sup>31)</sup> Ibid, hal. 452

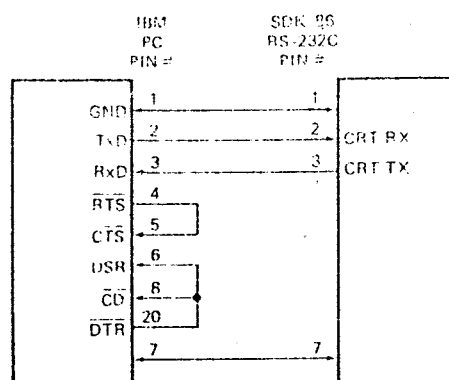
ploter, mouse dan lain-lainnya. Piranti periferal ini dapat juga didefinisikan sebagai DTE atau DCE. Piranti periferal ini ada yang memakai semua sinyal handshaking sebagaimana sinyal saja atau ada juga yang tidak sama sekali. Sebagai contoh misalkan kita mempunyai sebuah controller yang dapat melakukan akusisi data. Untuk mendapatkan dari controller tersebut diinginkan agar alat tersebut dapat berkomunikasi dengan komputer, katakanlah sebuah IBM-PC tetapi masalahnya controller tersebut tidak dapat melakukan handshaking dengan komputer, dia hanya dapat menerima input dari komputer melalui pin RxD dan mengirim data seri melalui pin TxD yang ia punyai.

Untuk menyelesaikan masalah ini dapat dilakukan pendekatan berikut, asynchronous communication adapter pada IBM-PC dapat kita anggap sebagai DTE. Jadi sinyal TxD terdapat pada pin 2, sinyal RxD pada pin 3, RTS pada pin 4, CTS pada pin 5, DSR pada pin 6, DTR pada pin 20 dan CD pada pin 8. Agar communication adapter tersebut dapat mengirim dan menerima sinyal input CTS, DSR dan CD haruslah diaktifkan. Sinyal DTR dan RTS diaktifkan oleh bios pada IBM-PC. Output TxD dari controller, kita hubungkan dengan pin no 3 dari konektor DB-25P, yang berarti dihubungkan dengan pin RxD dari controller.

Gambar 2.22 memperlihatkan hubungan yang harus dilakukan agar masalah ini dapat diselesaikan. Pin RTS dari PC kita hubungkan dengan pin CTS, sehingga bila RTS aktif,

CTS juga aktif. Pin DSR, CD dan DTR juga dihubungkan singkat, sehingga bila DTR diaktifkan input DSR dan CD juga diaktifkan. Penyelesaian ini memang tidak memungkinkan terjadinya handshaking, namun controller yang kita buat tetap mampu berkomunikasi dengan PC.

Melihat penyelesaian yang dilakukan adalah penting untuk mempunyai skema rangkaian yang akan diinterface, sehingga dapat menjamin bahwa sinyal-sinyal output masuk ke dalam pin yang sesuai.



GAMBAR 2. 22<sup>32)</sup>

## HUBUNGAN KOMPUTER DENGAN CONTROLLER

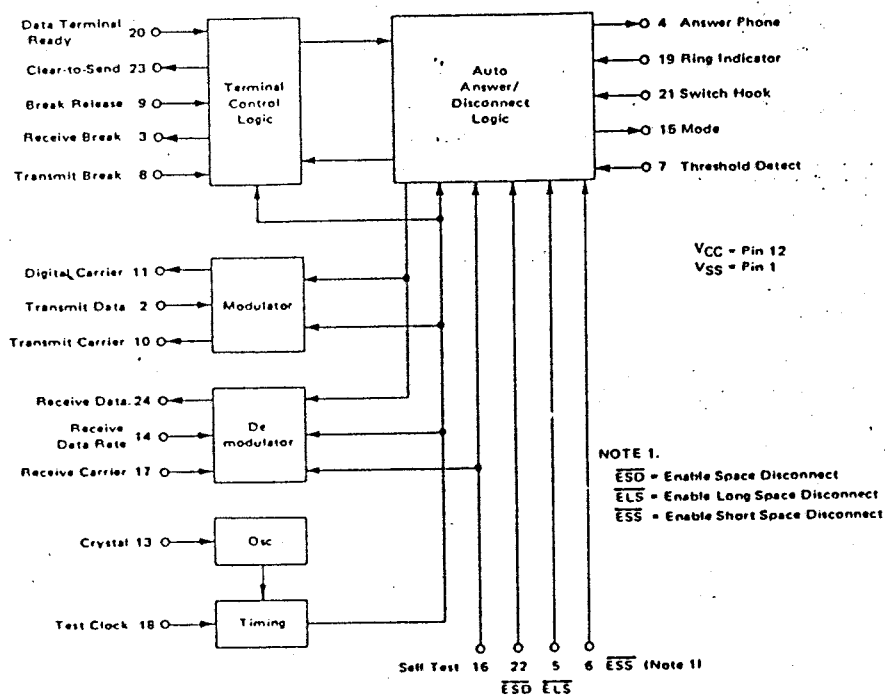
### II. 8. MC 6860 LOW SPEED MODEM

Modem MC 6860 sebagai komunikasi data didesain untuk Kecepatan 300 bit/s atau 600 bit/s menggunakan modulasi FSK. IC MC 6860 menggunakan teknologi NMOS dalam pembuatannya yang dikemas dalam bahan keramik dengan 24 pin, didalamnya terdiri dari modulator, demodulator dan kombinasi rangkaian logika

<sup>32)</sup> loc. cit.



yang digunakan untuk menjembatani secara langsung dengan UART, sedangkan sebagai pelengkap agar keseluruhan rangkaian modem jadi perlu adanya filter, penguat dan kristal 1 MHz yang dirangkai diluar IC modem MC 6860. Gambar 2.33 memperlihatkan blok diagram MC 6860. Adapun fungsi-fungsi ke 24 pin tersebut adalah :



GAMBAR 2.29<sup>33)</sup>

### KONFIGURASI SISTEM MC 6860

#### DATA TERMINAL READY (DTR)

Signal Data Terminal Ready aktif dalam kondisi low

<sup>33)</sup> M 6800 Application Manual, Motorola Published, 1984, hal. 3-30

---

#### CLEAR TO SEND (CTS)

Output low CTS dari modem menyatakan bahwa input transmit data tidak diclamp pada keadaan mark, sehingga data dapat ditransmisikan.

---

#### RING INDIKATOR (RI)

Modem akan tahu panggilan dari CBT jika sekurang-kurangnya frekuensi ringing 20 Hz dari frekuensi 20 sampai 47 Hz yang diijinkan. Sedangkan panggilan dari CBS akan diketahui jika sinyal Ring Indikator diberikan selama selang waktu sekurang-kurangnya 51 ms yang terlebih dahulu sinyal dari CBS dikonversikan tegangannya ke TTL. Input dari Ring Indikator berada dalam keadaan high selama tidak ada sinyal ringing. Ring Indikator membuat modem bermode "answer mode" setelah ada sinyal ringing.

---

#### SWITCH HOOK (SH)

Signal SH akan bekerja pada kondisi low dan menempatkan modem secara otomatis pada mode "originate mode". Modem akan berada pada keadaan mengambang selama 17 s setelah menerima sinyal SH jika handshaking tidak terselesaikan.

---

#### THRESHOLD DETECT (TD)

Input TD berasal dari luar Treshold detector dalam keadaan dimana level signal input harus mencukupi dan TD harus low selama selang 32 ms agar transmisi data berjalan normal, bila level signal yang diijinkan tak mencukupi menandakan receive Carrier tidak ada tetapi selama selang 32 ms level signal kurang dari yang diijinkan data akan cacat.

### ANSWER PHONE (An Ph)

Penerimaan dari signal Ring Indikator atau Switch Hook dan Data Terminal Ready mengakibatkan Answer Phone keluar kondisi high  $[(SH + RI) \cdot DTR]$ . Signal ini men-drive basis transistor sehingga mengakibatkan off hook (OH) dan Data Transmission (DA) di Data Coupler aktif. Setelah proses handshaking selesai An Ph kembali ke keadaan low.

### MODE

Output low pada pin Mode membuat modem bermode "answer" sedangkan output high membuat modem bermode "originate". Perubahan mode tersebut dapat juga diatur melalui pin Self Test.

### TRANSMIT BREAK (Tx Brk)

Perintah sinyal Tx Brk digunakan untuk menghentikan pengiriman data dari lawan. Transmit Break dikeluarkan

setelah CTS. Tx Brk bekerja pada kondisi low tetapi sebelum dikirimkan kondisi awal harus high selama 34 ms.

### RECEIVE BREAK (Rx Brk)

Setelah menerima signal dari Tx Brk selama 150 ms modem meng-clamp Receive Break pada kondisi high. Output dari modem ini di-clamp juga sampai ada perintah dari CTS.

### BREAK RELEASE (Brk R)

Setelah menerima sinyal selama 150 ms, kondisi output Receive Break yang high dapat dirubah menjadi low oleh Break Release sekurang-kurangnya 20  $\mu$ s.

### TRANSMIT DATA (Tx DATA)

Transmit data adalah sekumpulan dari informasi biner yang ditujukan ke modem untuk di modulasi FSK.

### RECEIVE DATA RATE (Rx RATE)

Demodulator dapat dioptimalkan untuk S/N pada bit rate 300 bps dan 600 bps. Input low pada Receive Data Rate mengakibatkan modem mempunyai bit rate 600 bps, sedang input high modem mempunyai bit rate 300 bps.

### DIGITAL CARRIER (FO)

Output sinyal Test disediakan untuk menaikkan waktu dari chip test. Sinyalnya berbentuk persegi pada kondisi transmit.

### TRANSMIT CARRIER (Tx Car)

Transmit Carrier di-drive oleh PLL dengan cristal referensi 1 MHz. Frekuensi hasil dari Transmit Carrier, lihat tabel 2.8 :

**TABEL 2.8**

**KARAKTERISTIK FREKUENSI MODE MC 6860**

MODE	DATA	TRANSMIT FREKUENSI	KETELITIAN
Originate	Mark	1270 Hz	- 0,15 Hz
Originate	Space	1070 Hz	+ 0,09 Hz
Answer	Mark	2225 Hz	- 0,31 Hz
Answer	space	2025 Hz	+ 0,71 Hz

level output 0,35 V (RMS) dalam impedansi beban 200 KOhm

### RECEIVE CARRIER (Rx Car)

Receive carrier adalah input FSK yang akan didemodulasi sebelum masuk ke Receive Carrier signal Carrier harus

difilter dan di limiting

#### ENABLED SPACE DISCONNECT (ESD)

Pada saat ESD low dan pulsa DTR dikirim, Transmit Data berada pada kondisi space selama 3 s sampai Threshold Detect hilang. Jika ESD high Transmit Data berada pada kondisi high dan hubungan akan putus setelah 3 s kemudian.

#### ENABLE SHORT SPACE DISCONNECT (ESS)

Pada saat ESS low modem akan secara otomatis membuka jalur penerimaan Transmit Data, dimana ESS low selama 0,3 s. ESS dan ELS tidak harus bergantian pada kondisi low.

#### ENABLE LONG SPACE DISCONNECT (ELS)

Pada saat ELS low selama 1,5 s modem akan secara otomatis membuka jalur penerimaan Transmisi Data.

#### CRISTAL (X Tal)

Kristal 1 MHz dibutuhkan modem untuk mengaktifkan oscilator. Dapat juga input pin 13 diberi sinyal persegi dengan ketentuan.

Mode	Parallel
Frekuensi	1 MHz $\pm$ 0,1 %
Tahanan Seri	Max 750 Ohm
Capasitor Shunt	7,0 pF Max
Temperatur	0 - 70 ° C
Level Test	1 m W
Capasitor Beban	13 pF

#### TEST CLOCK (TST)

Pada keadaan normal TST harus diset pada kondisi low

### SELF TEST (ST)

Self Test digunakan untuk merubah output pin "mode" tetapi kondisi output pin "mode" tergantung juga pada kondisi SH dan RI lihat tabel 2.9.

**TABEL 2.9<sup>34)</sup>**

**TABEL KEBENARAN CONTROL MODE**

INPUT			OUTPUT MODE
ST	SH	RI	
H	L	H	H
H	H	L	L
L	L	H	L
L	H	L	H

#### II.8.1. INTERNAL ORGANIZATION

Modem MC 6860 secara blok diagram dapat dilihat pada gambar 2.23. Semua input output modem MC 6860 dikontrol oleh terminal control logic dan Auto Answer/Disconnect logic, bagian itu terdiri dari digital counter untuk mengatur internal waktu pulsa yang diperlukan. Pin-pin utama control logic adalah CTS, Answer Phone, Ring Indikator, Switch Hook dan Data Terminal Ready Selain itu ada pin-pin 5, 6 dan 22, dimana pin-pin tersebut dapat digunakan untuk mengontrol dan mematikan data.

Input bagian oscillator/timing berupa Kristal 1 MHz yang dihubungkan ke pin 13 dan ground atau berupa clock sebesar 1 MHz. Input Test Clock disediakan guna mempercepat

<sup>34)</sup>Ibid, hal. 3-33.

pewaktuan yang dihasilkan oleh oscillator, jika dalam keadaan low maka timing bekerja dalam keadaan normal.

Input modulator berupa signal digital yang akan diubah menjadi satu tone dari dua tone FSK yang bisa dihasilkan modem. Ada dua tone transmit dan dua tone receive jika modem dalam komunikasi full duplex. Jika modem pada keadaan transmit menggunakan mode "answer" maka frekuensi yang dipancarkan adalah 1270 Hz dan 1070 Hz untuk space sedang pada saat yang bersamaan modem menerima data maka menggunakan mode "originate" frekuensi 2225 Hz untuk mark dan 2025 Hz untuk space begitu pula sebaliknya.

Demodulator menerima signal level TTL setelah signal tersebut melewati penguat, filter dan limiter yang berupa signal analog FSK. Signal tersebut didemodulasi dan dimasukkan ke discriminator menghasilkan signal pulsa digital. Sedang untuk mempercepat bit rate dari modem maka dengan merubah keadaan pin 14 modem dapat bekerja pada bit rate 300 b/s atau 600 b/s.

#### II.8.2. HANDSHAKING DAN CONTROL

Bagian utama control dan modem dapat membuat empat mode. dua digunakan untuk mengatur transmisi data sedang yang lainnya untuk menghandel atau untuk mengakhiri transmisi. Keempat mode tersebut akan diuraikan di bawah.

##### II.8.2.1. ANSWER MODE

Pada saat akan menerima data, modem pertama kali menerima signal RI. Signal tersebut berupa low level berasal dari

CBS data coupler selama lebih kurang 51 ms catu dari CBT data coupler berupa signal ringing 20 Hz. Dengan adanya signal RI membuat modem pada mode "answer", jika DTR low menandakan bahwa komunikasi siap dikirim atau diterima lalu output An Ph high. Output ini digunakan untuk menggerakkan transistor sebagai switch relay untuk mengaktifkan off hook (OH) dan Data Transmission (DA). Kemudian setelah itu Transmit Carrier mengeluarkan Signal tone 2225 Hz.

Modem lawan mendeteksi tone 2225 Hz pada mode "originate" dan setelah 450 ms mengirimkan signal tone 1270 Hz sebagai jawaban otomatis bahwa modem telah mendeteksi frekuensi 2225 Hz. Modem juga mendapat signal Threshold Detect pada kondisi low tiap-tiap 32 ms. Bila TD tak terdeteksi lebih kurang 51 ms menunjukkan signal receive Carrier hilang. dalam keadaan ini komunikasi dikatakan gagal.

Setelah modem lawan menerima tone 1270 Hz selama 150 ms, Receive Data di-Clamp pada kondisi mark dan data dapat diterima. Output CTS low selama 450 ms setelah menerima signal carrier modem siap untuk memancar begitu seterusnya.

#### 11.8.2.2. AUTOMATIC DISCONNECT

Setelah menerima signal low selama 150 ms, modem meng-clamp Receive Break pada kondisi high. Kondisi ini berlangsung sampai Break Release dikeluarkan stasiun penerima. Setelah menerima signal low selama 0,3 s, dengan ESD low maka modem pada kondisi On. jika Enable Long space Disconnect low, modem juga menerima level low selama 1,5 s.



#### II.8.2.3. ORIGINATE MODE

Setelah menerima perintah dari SH maka modem berada pada kondisi mode "originate". Jika DTR low maka modem mengeluarkan pulsa high pada An Ph. Modem sekarang siap menerima signal 2225 Hz dari modem lawan, itu berlangsung terus sampai 17 s setelah SH berada pada kondisi high.

Setelah menerima signal  $2225 \pm 100$  Hz selama 150 ms, output Receive data tak di-clamp pada kondisi Mark dan data dapat diterima dengan baik. 450 ms setelah menerima signal 2225 Hz, signal 1270 Hz ditransmisikan ke modem lawan. 750 ms setelah menerima 2225 Hz output CTS menjadi low dan data dapat di transmisikan sebaik seperti saat menerima.

#### II.8.2.4. INITIATE DISCONNECT

Agar perintah modem lawan On (bekerja), maka signal pin disconnect dikirim. Hal ini dapat dikerjakan oleh signal DTR low pindah ke high lebih kurang 34 ms. Modem local kemudian mengirim signal space selama 3 s, hilangnya sinyal TD akan menyebabkan hilangnya CTS, menyebabkan mode "answer" pindah ke mode "originate".

Jika ESD high, modem akan mentransmisikan data sampai berhenti 3 s kemudian.

Setelah mengetahui teori penunjang yang semuanya akan mendukung perencanaan dan pembuatan alat, maka pada bab selanjutnya akan diuraikan perencanaan tiap diagram blok yang akan dibuat, kemudian dilanjutkan dengan langkah pembuatan serta perangkat lunak yang digunakan.

## **B A B    III**

### **PERENCANAAN    DAN PEMBUATAN    ALAT**

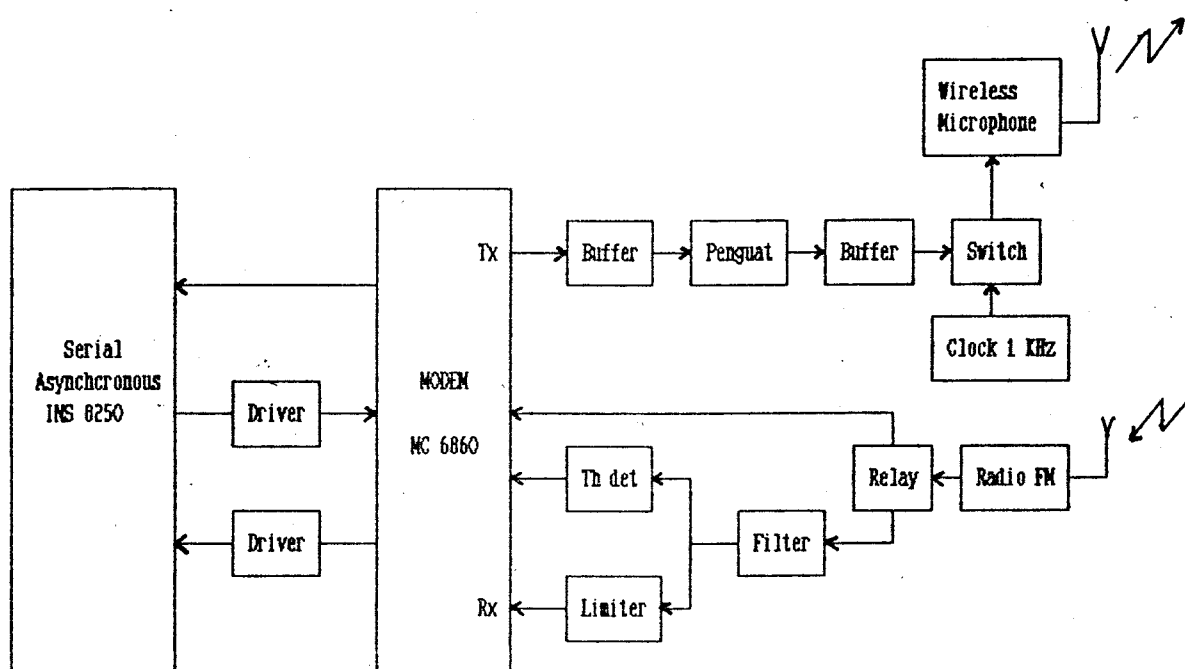
---

Dalam bab III ini akan dijelaskan mengenai perencanaan dan pembuatan alat yang terdiri atas :

- Modem menggunakan IC MC 6860
- Driver pengubah tegangan RS 232 C ke TTL
- Rangkaian Filter dan Limiter
- Rangkaian Treshold Detect
- Rangkaian Penguat dan Relay
- Rangkaian Clock 1 KHz
- Rangkaian pengubah tegangan TTL ke RS 232 C
- Langkah-langkah pembuatan alat
- Perangkat lunak yang digunakan

masing-masing blok tersebut saling mendukung satu sama lain dan membentuk modem secara lengkap yang nantinya dihubungkan ke microkomputer IBM-PC melalui pin serial RS 232 C dan pemancar wireless microphone serta pesawat penerima radio FM untuk komunikasi data antar komputer. Gambar 3.1 memperlihatkan blok diagram sistem yang direncanakan.

Data yang berupa karakter atau file yang akan dikirimkan secara paralel akan diubah menjadi seri oleh Interface serial asynchronous IBM PC-XT kemudian sebelum dipancarkan oleh wireless microphone data dimodulasi FSK



GAMBAR 3. 1

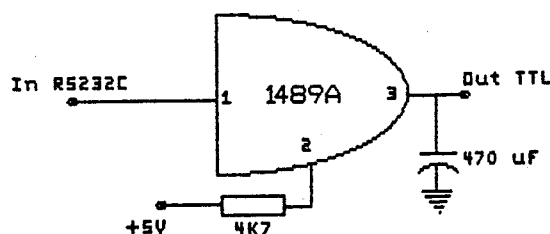
### BLOK DIAGRAM RANGKAIAN YANG DIBUAT

dengan modem MC 6860. Data yang termodulasi kemudian diterima radio FM dan di modulasi oleh modem MC 6860 untuk dijadikan data digital dan diterima oleh mikrokomputer IBM-PC.

Adapun blok diagram seperti Threshold Detect, Limiter, Filter dan penguat digunakan sebagai pendukung terjadinya modem secara utuh.

#### III.1. RANGKAIAN PENGUBAH LEVEL TEGANGAN RS232 C KE TTL

Rangkaian pengubah yang digunakan menggunakan IC 1489 yang merupakan interface tegangan antara DTE dan DCE. Input berlogika '0' akan keluar berupa logika '1' dengan tegangan yang telah diubah menjadi 5 volt. Rangkaian seperti ditunjukkan pada gambar 3.2.



**GAMBAR 3.2.**

**RANGKAIAN PENGUBAH TEGANGAN RS232 C KE LEVEL TEGANGAN TTL**

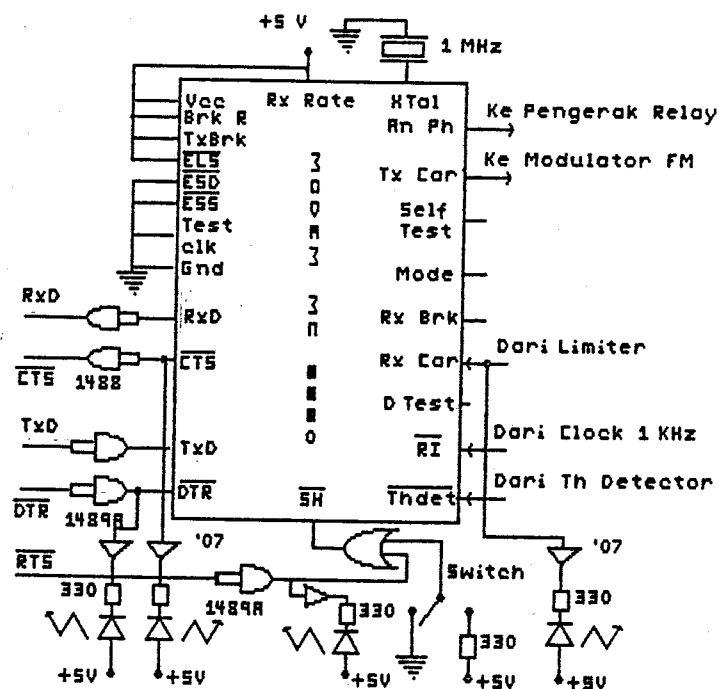
**III.3. DIGITAL MODEM MC 6860**

IC MC 6860 diproduksi oleh Motorola Inc. dengan menggunakan teknologi N MOS didesain untuk kecepatan 300 sampai 600 baud.

Beberapa pertimbangan atas dipilihnya IC modem MC 6860 antara lain :

- IC modem MC 6860 memiliki jumlah dan type sistem control yang lebih banyak dibanding jenis IC modem lainnya.
- Perencanaan cloknya lebih sederhana, karena hanya membutuhkan kristal 1 MHz yang dihubungkan pada pin 13 dan ground.
- Bagian modulator dan demodulator FSK terletak dalam 1 chip.

- Chip-chip penunjang untuk sistem modem secara keseluruhan sangat sederhana, selain mudah didapat dipasaran, harganya juga sangat murah.
- MC 6860 menyediakan berbagai macam pilihan agar bisa didesain secara half duplex atau full duplex dan dapat dioperasikan pada bit rate 300 baud atau 600 baud.



GAMBAR 3.3

### RANGKAIAN MODEM MC 6860

Gambar 3.3 diatas merupakan bentuk rangkaian dasar IC MC 6860

Ketika komputer dihidupkan komputer melakukan beberapa self check dan mengirim sinyal data terminal ready untuk memberitahu modem bahwa komputer siap. Jika modem juga

dihidupkan maka akan mengirim sinyal data set ready pada komputer bahwa modem siap mengirim atau menerima data. Modem yang didesain ini untuk transmisi data half duplex.

Jika modem menerima sinyal RTS dari komputer yang dimasukkan ke SH yang aktif pada keadaan low maka sebelum modem mengeluarkan sinyal CTS tanda siap mengirim data maka dilakukan pengecekan pada modem yang akan di hubungi dengan mengirimkan clock 1 KHz, bila clock 1 KHz tersebut diterima modem lawan pada pin RI maka modem lawan mengirim sinyal balik bertanda modem lawan on dan siap menerima data, bila led penanda carrier detect tidak hidup berarti modem lawan off. Setelah itu sinyal CTS diaktifkan oleh modem pada kondisi low yang berarti data pada komputer dapat ditransmisikan. Setelah selesai mengirimkan seluruh datanya, komputer akan menon-aktifkan sinyal RTS, yang menyebabkan modem menonaktifkan sinyal CTS dan berhenti mengirim sinyal-sinyal handshaking yang juga terjadi pada komputer kedua.

#### III.4. PERENCANAAN FILTER

Aktif filter yang dirancang ini digunakan untuk mengurangi sinyal yang tidak diinginkan dengan memakai multiple feedback band pass filter. Frekuensi yang akan dilewatkan ada tiga buah yaitu frekuensi carier FSK sebesar 1170 Hz, frekuensi mark dan space masing-masing 1270 Hz dan 1070 Hz dengan bit rate modem sebesar 300 bps maka bandwidth dari filter harus didesain sebesar :

$$\begin{aligned}
 BW_{fsk} &= | f_m - f_s | + 2br \\
 &= | 1270 - 1070 | + 2.300 \\
 &= 800 \text{ Hz}
 \end{aligned}$$

Gambar 3.4 memperlihatkan bentuk spektrum alokasi frekuensi yang diinginkan.

Sebagai komponen aktif dipilih IC 1458. Gambar 3.5 memperlihatkan rangkaian band pass filter yang merupakan sebuah inverting op-amp dengan transfer function seperti pada persamaan sebagai berikut

$$A_{vc} = \frac{V_o}{V_i} = \frac{- \left[ \frac{A_o}{Q} \right] \omega_o S}{S^2 + \left[ \frac{\omega_o}{Q} \right] S + \omega_o^2} = \frac{-AS}{S^2 + BS + C}$$

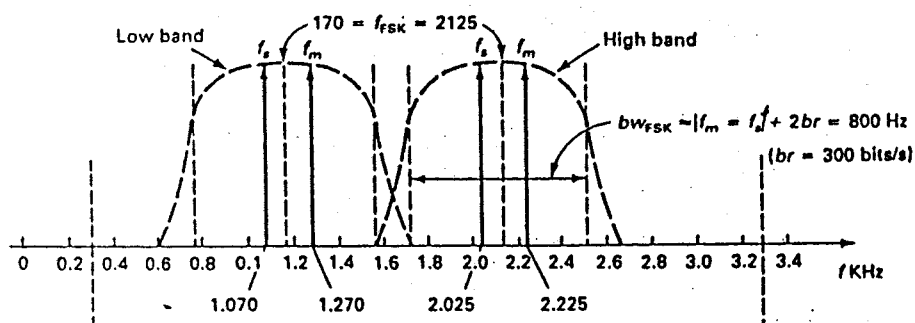
dimana :

$$A = \frac{1}{R_1 C_1} \dots \dots \dots (3.1)$$

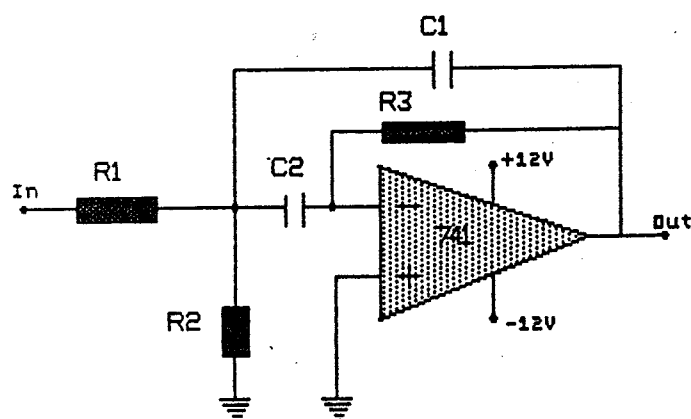
$$B = \frac{1/C_1 + 1/C_2}{R_3} \dots \dots \dots (3.2)$$

$$C = \frac{1/R_1 + 1/R_2}{R_3 \cdot C_1 \cdot C_2} \dots \dots \dots (3.3)$$

dikarenakan dalam praktek untuk mengetrim kapasitor sangat sulit, maka membuat desain band pass filter dianggap harga kapasitor  $C=C_1=C_2$ , karena  $C=C_1=C_2$  didapat persamaan sebagai berikut :

GAMBAR 3.4<sup>46)</sup>

## SPEKTRUM MODEM MC 6860



GAMBAR 3.5

## RANGKAIAN DASAR BAND PASS FILTER

<sup>46)</sup>Bates, Paul, P.Eng, *Practical digital and data communications-with LSI applications*, Prentice Hall, Inc., New Jersey, 1987, hal.90



$$R3 = \frac{1}{3,14 \cdot B \cdot C} \dots\dots\dots(3.4)$$

$$R1 = \frac{R3}{2 \cdot A_{VC}} \dots\dots\dots(3.5)$$

$$R2 = \frac{R1}{4 \cdot \pi^2 \cdot R1 \cdot R3 \cdot f_0^2 \cdot C^2 - 1} \dots\dots\dots(3.7)$$

Q Factor

$$Q = \frac{f_0}{B} \dots\dots\dots(3.8)$$

center frekuensi :

$$\omega_0^2 = \frac{1}{R3 \cdot C^2} \left[ \frac{1}{R1} + \frac{1}{R2} \right] \dots\dots\dots(3.9)$$

Dari persamaan diatas, dikehendaki R1 mempengaruhi gain  $A_{VC}$ , R2 mempengaruhi frekuensi resonansi, sedangkan R3 hanya mempengaruhi bandwidth B.

Band pass filter yang direncanakan terdiri dari dua buah mode yaitu originate dan answer band pass filter yang masing masing dirancang untuk tiga frekuensi tengah yang berbeda untuk mode originate  $f_c = 1170$  Hz dengan bandwidth 400 Hz,  $f_m = 1270$  Hz dan  $f_s = 1070$  Hz dengan bandwidth masing-masing 200 Hz sedang untuk mode answer  $f_c = 2125$  Hz dengan bandwidth 400 Hz,  $f_m = 2225$  Hz dan  $f_s = 2025$  Hz dengan masing masing bandwidth 200 Hz.

Dalam pembuatan band pass filter tersebut ditentukan gainnya dan  $C1=C2$  sebesar 0,01  $\mu F$  sehingga untuk masing-

masing frekuensi tengah didapatkan hasil perhitungan sebagai berikut :

untuk  $f_{C1} = 1170$  Hz dan  $A_{VC} = 5.5$

maka :

$$R3 = \frac{1}{3,14.B.C} = \frac{1}{3,14.400.1.10^{-8}} = 79,62 \text{ K } \Omega \approx 98 \text{ K } \Omega$$

$$R1 = \frac{R3}{2.A_{VC}} = \frac{98 \text{ K}}{2.5,5} = 8.909 \text{ } \Omega \approx 8.900 \text{ } \Omega$$

$$\begin{aligned} R2 &= \frac{R1}{4.\pi^2.R1.R3.f_0^2.C^2 - 1} \\ &= \frac{8900}{4.\pi^2.8900.98.10^3(1170)^2.(1.10^{-8})^2 - 1} \\ &= 2399 \text{ } \Omega \approx 2500 \text{ } \Omega \end{aligned}$$

untuk  $f_s = 1070$  Hz dan  $A_{VC} = 5,5$

maka :

$$\begin{aligned} R3 &= \frac{1}{3,14.B.C} = \frac{1}{3,14.200.1.10^{-8}} = 159,235 \text{ K}\Omega \\ &\approx 160 \text{ K}\Omega \end{aligned}$$

$$R1 = \frac{R3}{2.A_{VC}} = \frac{159,235 \text{ K}}{2.5,5} = 14,476 \text{ K } \Omega \approx 15 \text{ K}\Omega$$

$$R2 = \frac{R1}{4.\pi^2.R1.R3.f_0^2.C^2 - 1}$$

$$= \frac{15 \text{ K}\Omega}{4 \cdot \pi^2 \cdot 15 \cdot 10^3 \cdot 160 \cdot 10^3 (1070)^2 \cdot (1 \cdot 10^{-8})^2 - 1}$$

$$= 1538,6 \text{ }\Omega \approx 1,5 \text{ K}\Omega$$

untuk  $f_m = 1270 \text{ Hz}$  dan  $A_{VC} = 5,5$

maka :

$$R3 = \frac{1}{3,14 \cdot B \cdot C} = \frac{1}{3,14 \cdot 200 \cdot 1 \cdot 10^{-8}} = 159,235 \text{ K}\Omega$$

$$\approx 160 \text{ K}\Omega$$

$$R1 = \frac{R3}{2 \cdot A_{VC}} = \frac{165 \text{ K}}{2 \cdot 5,5} \approx 15 \text{ K}\Omega$$

$$R2 = \frac{R1}{4 \cdot \pi^2 \cdot R1 \cdot R3 \cdot f_0^2 \cdot C^2 - 1}$$

$$= \frac{15 \text{ K}}{4 \cdot \pi^2 \cdot 15 \cdot 10^3 \cdot 160 \cdot 10^3 (1270)^2 \cdot (1 \cdot 10^{-8})^2 - 1}$$

$$= 1017 \text{ }\Omega \approx 850 \text{ }\Omega$$

untuk  $f_c = 2125 \text{ Hz}$  dan  $A_{VC} = 4,4$  ditentukan  $R3 = 125 \text{ K}\Omega$

maka :

$$R1 = \frac{R3}{2 \cdot A_{VC}} = \frac{125 \text{ K}}{2 \cdot 4,4} = 14,2 \text{ K}\Omega \approx 15 \text{ K}\Omega$$

$$R2 = \frac{R1}{4 \cdot \pi^2 \cdot R1 \cdot R3 \cdot f_0^2 \cdot C^2 - 1}$$

$$= \frac{15 \text{ K}}{4 \cdot \pi^2 \cdot 15 \cdot 10^3 \cdot 125 \cdot 10^3 (2125)^2 \cdot (1 \cdot 10^{-8})^2 - 1}$$

$$= 463,08 \, \Omega \approx 480 \, \Omega$$

untuk  $f_c = 2025 \text{ Hz}$  dan  $A_{vc} = 4,4$  ditentukan  $R_3 = 300 \text{ K}\Omega$   
maka :

$$R_1 = \frac{R_3}{2 \cdot A_{vc}} = \frac{300 \text{ K}}{2 \cdot 4,4} = 34,09 \text{ K} \approx 35 \text{ K}\Omega$$

$$R_2 = \frac{R_1}{4 \cdot \pi^2 \cdot R_1 \cdot R_3 \cdot f_0^2 \cdot C^2 - 1}$$

$$= \frac{35 \text{ K}\Omega}{4 \cdot \pi^2 \cdot 35 \cdot 10^3 \cdot 300 \cdot 10^3 (2025)^2 \cdot (1 \cdot 10^{-8})^2 - 1}$$

$$= 207,3 \, \Omega \approx 200 \text{ K}\Omega$$

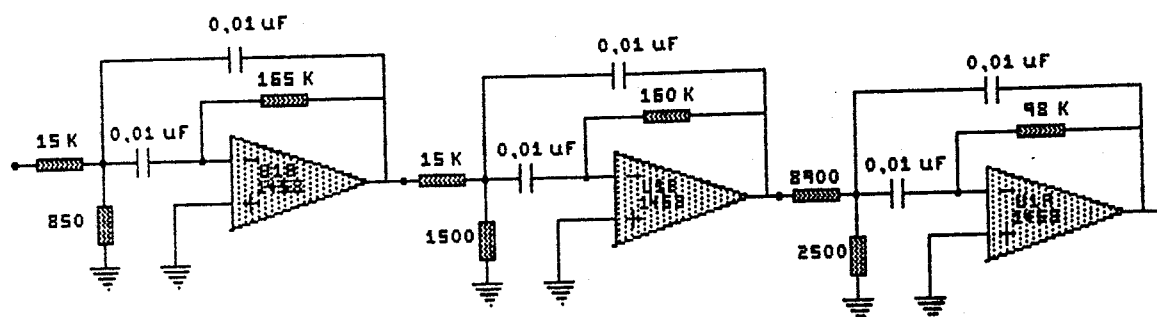
untuk  $f_c = 2225 \text{ Hz}$  dan  $A_{vc} = 4,4$  ditentukan  $R_3 = 220 \text{ K}\Omega$   
maka :

$$R_1 = \frac{R_3}{2 \cdot A_{vc}} = \frac{220 \text{ K}}{2 \cdot 4,4} = 25 \text{ K}\Omega$$

$$R_2 = \frac{R_1}{4 \cdot \pi^2 \cdot R_1 \cdot R_3 \cdot f_0^2 \cdot C^2 - 1}$$

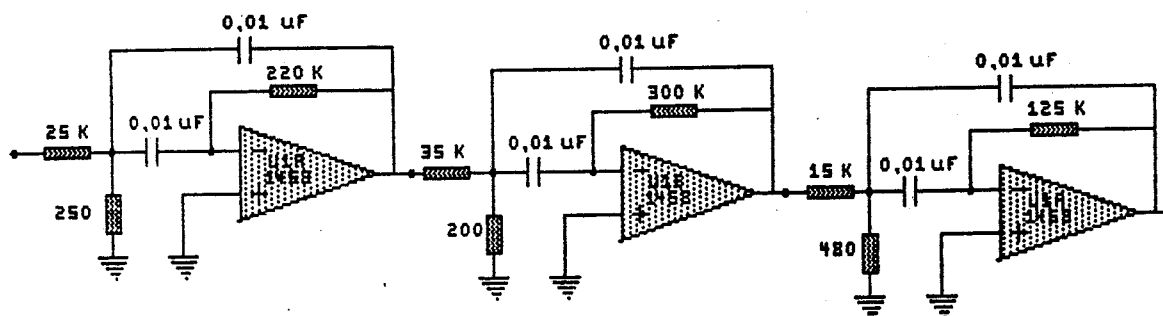
$$= \frac{25 \text{ K}}{4 \cdot \pi^2 \cdot 25 \cdot 10^3 \cdot 220 \cdot 10^3 (2225)^2 \cdot (1 \cdot 10^{-8})^2 - 1}$$

$$= 234,99 \, \Omega \approx 250 \, \Omega$$



GAMBAR 3.6.

## PERENCANAAN LENGKAP ORIGINATE BAND PASS FILTER



GAMBAR 3.7

## PERENCANAAN LENGKAP ANSWER BAND PASS FILTER

### III.45. RANGKAIAN PENGUAT

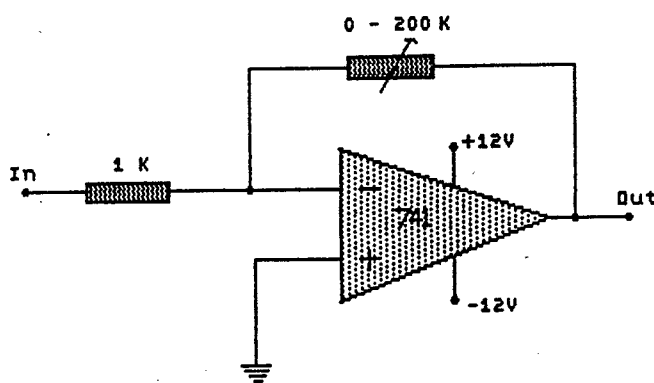
Sinyal yang di dapat dari receiver setelah melewati filter diperkuat dengan menggunakan IC 741.

Ditentukan gain dari inverting amplifier yang direncanakan adalah sebesar 10 dan mempunyai impedansi masukan relatif kecil sehingga dipilih R1 adalah 1 K $\Omega$ , agar di dapat penguatan sebesar 10 kali maka berdasarkan perhitungan menurut rumus :

$$A_{VC} = - \frac{R2}{R1}$$

$$\begin{aligned} R2 &= A_{VC} \cdot (-R1) \\ &= 10 \cdot (-1000) \\ &= 10 \text{ K}\Omega \end{aligned}$$

dari perhitungan diatas maka rangkaian penguat yang dibuat seperti pada gambar 3.8.



GAMBAR 3.8

PERENCANAAN PENGUAT

### III.5. RANGKAIAN PENYESUAI IMPEDANSI

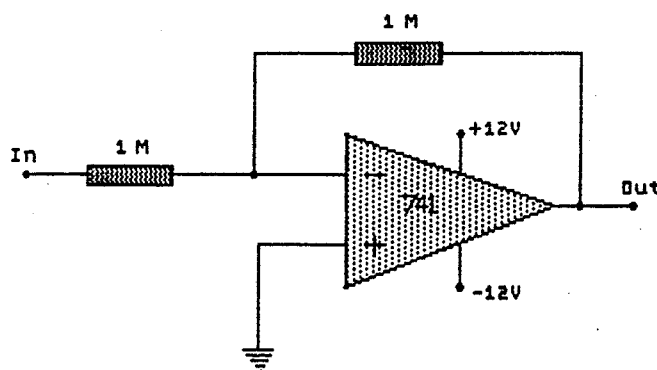
Untuk menyesuaikan impedansi dari output MC 6860 dengan peralatan lainnya yang umumnya impedansi inputnya rendah maka diperlukan inverting buffer sebagai penyesuai impedansi. Rangkaian yang direncanakan seperti gambar 3.9.

Ditentukan gain dari inverting amplifier yang akan dibuat adalah 1, dengan resistansi input sebesar 1 M $\Omega$ . Ditentukan harga R1 = 1 M $\Omega$ . Harga R2 dapat dihitung dengan persamaan dibawah :

$$A_{vco} = - \frac{R_2}{R_1} \qquad A_{vco} = -1$$

$$R_2 = 1. (1 \text{ M}\Omega)$$

$$= 1 \text{ M}\Omega$$

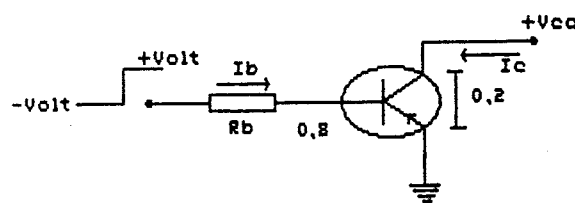


GAMBAR 3.9

PERENCANAAN PENYESUAI IMPEDANSI

### III.6. RANGKAIAN RELAY DRIVER

Rangkaian relay driver yang digunakan merupakan transistor switching yang dioperasikan pada daerah saturasi (jenuh).



GAMBAR 3.10

#### RANGKAIAN TRANSISTOR SWITCH COMMON EMITTER

Untuk menentukan nilai  $R_b$ , ditentukan terlebih dahulu type transistor yang akan digunakan. Disini akan digunakan transistor BC 140 type NPN yang mempunyai data-data sebagai berikut :

$$V_{ce\max} = 40 \text{ Volt}$$

$$P_{\text{tot}} = 35 \text{ Watt}$$

$$I_{c\max} = 2 \text{ A}$$

$$h_{fe} \text{ min} = 50 \text{ mA}$$

disamping data tersebut diatas juga digunakan tabel tegangan junction typical transistor NPN.

Transistor dalam keadaan saturasi ketika ON dan mendekati collector current cut off ketika OFF. Persamaan yang berlaku :

$$V_{cc} - I_c \cdot R_L - V_{ce} = 0 \quad \dots\dots\dots(3.10)$$

dari persamaan tersebut menunjukkan bahwa apabila tidak ada tegangan drop pada transistor, maka arus collector menjadi :



TABEL 3.1<sup>47)</sup>

## TEGANGAN JUNCTION TYPICAL TRANSISTOR NPN

	V <sub>ce</sub> , Sat	V <sub>be</sub> , Sat	V <sub>be</sub> , act	V <sub>be</sub> , cut in	V <sub>be</sub> , cut off
Si	0,2	0,8	0,7	0,5	0,0
Ge	0,1	0,3	0,2	0,1	-0,1

$$I_C = \frac{V_{CC}}{R_L} \quad \dots\dots\dots(3.11)$$

sebaliknya, apabila arus collector menjadi nol, maka tidak ada penurunan tegangan pada  $R_L$  sehingga :

$$V_{ce} = V_{CC} \quad \dots\dots\dots(3.12)$$

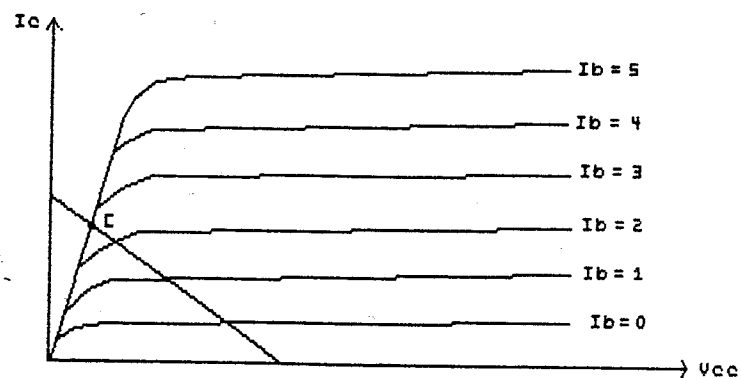
yaitu ketika transistor tersebut pada kondisi cut off.

Persamaan 3.10 dapat ditulis menjadi :

$$I_C = -\frac{1}{R_L} V_{CC} + \frac{V_{CC}}{R_L} \quad \dots\dots\dots(3.13)$$

Persamaan diatas merupakan persamaan garis lurus dengan kemiringan (gradien)  $-1/R_L$  dari grafik karakteristik transistor  $I_C$  terhadap  $V_{CC}$  dan berpotongan pada sumbu  $I_C$  dititik  $V_{CC}/R_L$ . Bila tegangan input naik menjadi  $V_1$ , arus mengalir ke dalam basis transistor, sehingga transistor menjadi ON. Agar transistor menjadi ON dalam keadaan saturasi maka arus basis harus ditentukan sehingga rangkaian tersebut beroperasi pada titik C.

<sup>47)</sup>Nilman-Halkias, *Integrated Electronic : Analog and Digital Circuits and Systems*, MacGraw-Hill



GAMBAR 3. 11

**KURVA KERJA TRANSISTOR SWITCH**

Dalam keadaan jenuh maka, maka dengan menggunakan hukum Kirchoff didapat persamaan :

$$-5 + R_b \cdot I_b + 0,8 = 0 \quad \dots\dots\dots (3.14)$$

harga  $I_b$  minimum diperlukan agar transistor jenuh adalah :

$$\begin{aligned} I_{b \text{ min}} &= \frac{I_c}{h_{fe}} \\ &= \frac{100}{50} \text{ mA} \\ &= 2 \text{ mA} \end{aligned}$$

dari persamaan 3.14 didapat :

$$R_b \cdot I_b = 4,2$$

$$I_b = \frac{4,2}{R_b}$$

supaya transistor menjadi jenuh maka  $I_b > I_{b \text{ min}}$

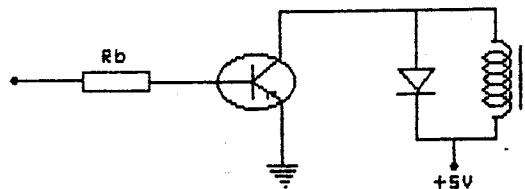
$$\frac{4,2}{R_b} > 2 \text{ mA}$$

sehingga didapat

$$R_b < \frac{4,2}{2 \cdot 10^{-3}}$$

$$R_b < 2100$$

diambil harga  $R_b$  sebesar  $1 \text{ K}\Omega$



GAMBAR 3.12

#### RANGKAIAN RELAY DRIVER

dengan demikian apabila input basis diberi tegangan sekitar 5 volt maka transistor akan jenuh dan relay akan bekerja. Diode 1N4001 disambungkan dengan relay yang digunakan untuk melindungi transistor dari arus transien yang ditimbulkan oleh relay.

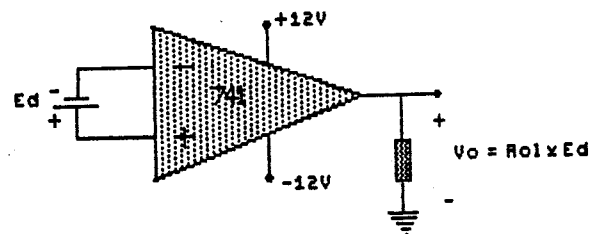
#### III.7. RANGKAIAN LIMITER

Desain dari rangkaian limiter dalam tugas akhir ini

menggunakan op-amp 741 bertujuan untuk mendapatkan tegangan output persegi yang besarnya sesuai dengan tegangan satuan dari op-amp.

Lihat gambar 3.13 jika perbedaan tegangan masukan  $E_d$  cukup kecil, tegangan keluaran  $V_o$  akan ditentukan oleh  $E_d$  dan gain ( $A_{ol}$ ).  $A_{ol}$  disebut gain tegangan karena hubungan-hubungan umpan balik yang mungkin dari terminal keluaran ke terminal masukan dibiarkan terbuka.  $V_o$  dapat dinyatakan sebagai berikut :

$$V_o = E_d \times A_{ol}$$



GAMBAR 3.13

#### POLARITAS $V_o$ TERGANTUNG TEGANGAN MASUKAN

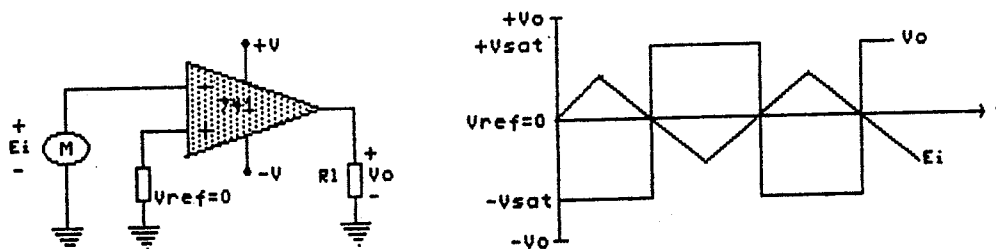
batas atas dari  $V_o$  disebut tegangan kejenuhan positif,  $+V_{sat}$  dan batas bawahnya disebut tegangan kejenuhan negatif,  $-V_{sat}$ . Misalnya dengan suatu tegangan supply sebesar  $\pm 12$  volt,  $V_{sat} = 9$  Volt dan  $-V_{sat} = -9$  Volt. Karenanya  $V_o$  terbatas sampai suatu ayunan puncak ke puncak sebesar  $\pm 9$  Volt.

Harga  $A_{ol}$  luar biasa besar, seringkali 200.000 atau lebih.  $V_o$  tak akan melampaui tegangan kejenuhan positif atau negatif  $+V_{sat}$  atau  $-V_{sat}$ . Untuk op-amp yang bekerja sebagai penguat,  $E_d$  harus dibatasi sampai suatu tegangan maximum menurut perhitungan sebagai berikut :

$$E_d \max = \frac{+V_{sat}}{A_{ol}} = \frac{9}{200.000} = 4,5 \cdot 10^{-5} \text{ Volt}$$

$$- E_d \max = \frac{-V_{sat}}{A_{ol}} = \frac{-9}{200.000} = -4,5 \cdot 10^{-5} \text{ Volt}$$

op-amp yang akan dipakai sebagai limiter ini bekerja sebagai sebuah pembanding. Masukan (-) nya membandingkan tegangan  $E_i$  dengan tegangan acuan yang besarnya 0 V sebagai V reference. Gambar 3.14 memperlihatkan rangkaian op-amp sebagai pembanding



**GAMBAR 3.14**

**RANGKAIAN OP-AMP SEBAGAI PEMBANDING**

dari teori diatas maka perencanaan limiternya sebagai berikut

$$V_{ref} = 0$$

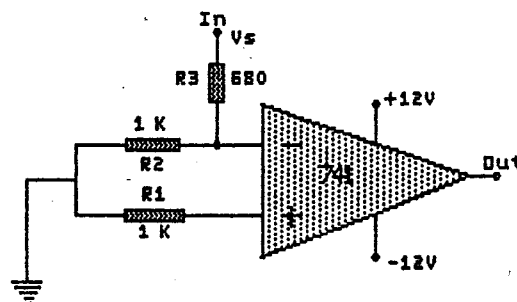
dimana :

$$V_s = V_b \sin(2\pi f_m t) + V_b \sin(2\pi f_s t)$$

$$V_e = \frac{R_2}{R_2 + R_3} V_s$$

$$= \frac{1 \text{ K}}{680 + 1 \text{ K}} V_s$$

$$= 0,595 V_s$$



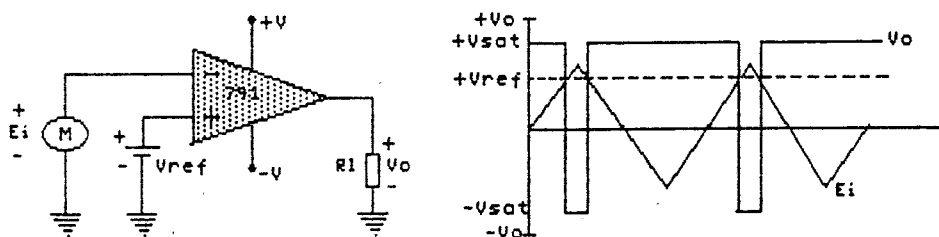
GAMBAR 3.15

### RANGKAIAN LIMITER YANG DIRENCANAKAN

#### III.8. RANGKAIAN INPUT THRESHOLD DETECTOR

Dalam perencanaan rangkaian ini dipakai op-amp 741 yang disusun sebagai sebuah pembanding untuk mendeteksi suatu tegangan positif. Jika tegangan yang harus dideteksi  $E_i$ ,

ditetapkan pada masukan op-amp (-) diatas  $V_{ref}$  pada masukan op-amp (+) hasilnya adalah suatu detector taraf positif tak membalik. Lihat gambar 3.16.



GAMBAR 3.16

#### DETECTOR TARAF TEGANGAN POSITIF MEMBALIK

Dari teori diatas maka perencanaan input threshold detector sebagai berikut :

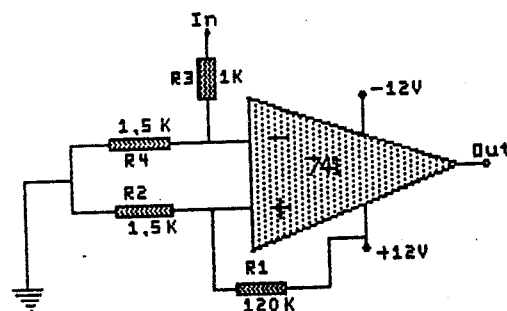
$$\begin{aligned}
 V_{ref} &= \frac{R1}{R1 + R2} \cdot V_{cc} \\
 &= \frac{120 \text{ K}}{1,5 \text{ K} + 120 \text{ K}} \cdot 12 \\
 &= 11,85185185 \text{ Volt} \\
 V_e &= \frac{R3}{R4 + R3} \cdot V_s
 \end{aligned}$$

dimana :

$$V_s = V_b \sin(2\pi f_m t) + V_b \sin(2\pi f_s t)$$

$$V_e = \frac{1 \text{ K}}{1,5 \text{ K} + 1 \text{ K}} \cdot V_s$$

$$= 0,4 \text{ Vs}$$



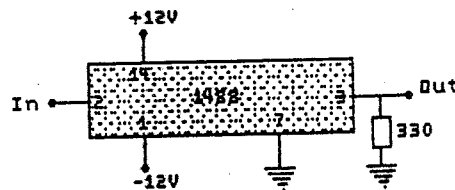
GAMBAR 3.17

### RANGKAIAN INPUT THRESHOLD DETECT YANG DIRENCANAKAN

#### III.9. RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE LEVEL TEGANGAN TEGANGAN RS-232 C

Untuk mengubah level tegangan TTL ke level tegangan RS-232 C diperlukan IC 1488. Rangkaiannya dapat dilihat pada gambar 3.18.





GAMBAR 3. 18

## RANGKAIAN PENGUBAH TEGANGAN TTL KE RS-232 C

## III.10. PERENCANAAN CLOCK PULSE GENERATOR

Untuk mengaktifkan modem lawan dan mengetahui apakah modem yang di hubungi dalam keadaan ON maka input dari RI modem lawan harus mendeteksi sinyal pulsa digital selama selang waktu minimal 51 ms untuk itu perencanaan clock pulse generator ini direncanakan menghasilkan clock pulse yang frekuensinya  $\pm 20$  Hz atau 1 KHz.

Rangkaian yang digunakan adalah Astable Multivibrator menggunakan IC type NE 555 (timer) seperti ditunjukkan pada gambar 3.19. Frekuensi clock dari rangkaian tersebut ditentukan oleh  $R_a$ ,  $R_b$  dan  $C$  dengan persamaan :

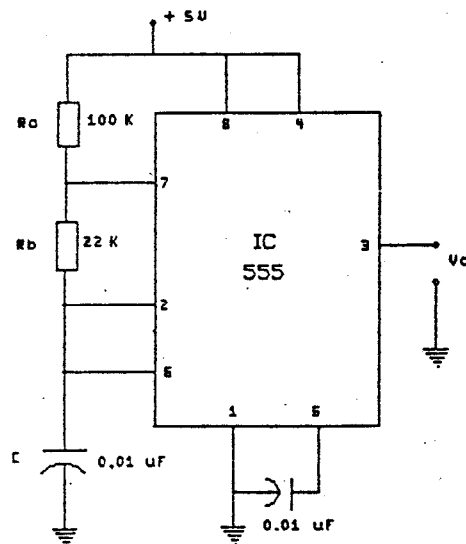
$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} = \frac{1}{0,7 (R_a + 2R_b) \cdot C} \text{ Hz}$$

$$\approx \frac{1,44}{(R_a + 2R_b) \cdot C} \text{ Hz}$$

bila direncanakan  $f = 1$  KHz dan dipilih  $c = 0,01 \mu F$  dan  $R_a = 100 K\Omega$

$$\text{maka } R_b = \frac{1}{4} \left( \frac{1,44}{1.10^3 \cdot 1.10^{-8}} - 1.10^5 \right)$$

$$= 22 \text{ K}\Omega$$



GAMBAR 3.19

#### RANGKAIAN PULSE CLOCK GENERATOR

#### III.11 LANGKAH-LANGKAH PEMBUATAN ALAT

Dari hasil perencanaan alat diatas maka perlu digabungkan rangkaian diagram blok yang dibuat sesuai dengan gambar 3.1, karena serial asynchronous INS 8250 sudah pada IBM-PC sedang radio FM dan wireless microphone memakai yang telah jadi, sehingga rangkaian lengkap dan langkah-langkah pembuatan peralatan modem dapat dilihat pada lampiran A.

#### III.12 PERANGKAT LUNAK YANG DIGUNAKAN

Dalam melakukan pengiriman data dapat digunakan

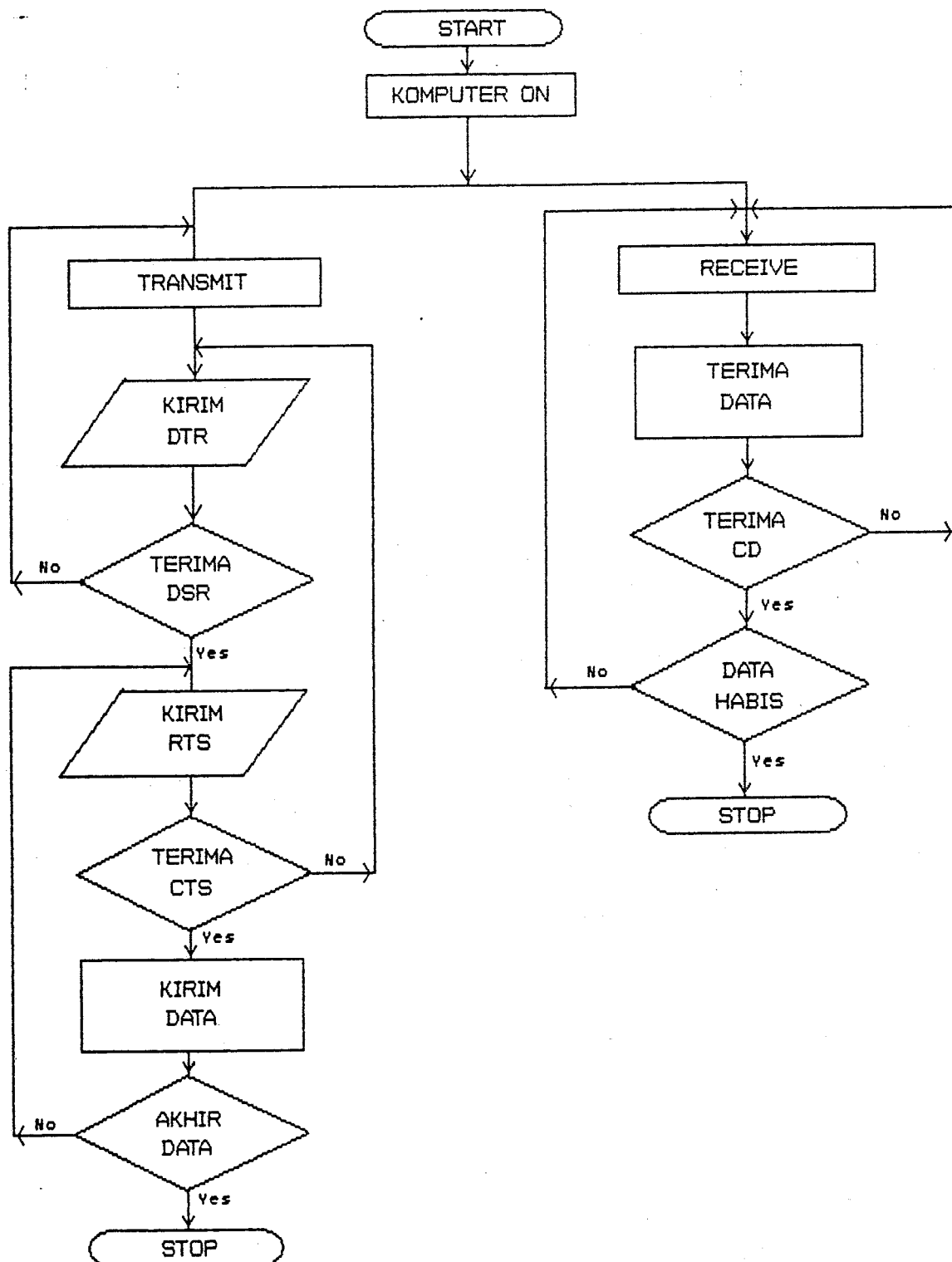
beberapa program paket yang telah ada ataupun dari program yang dibuat tersendiri dengan bahasa BASIC, PASCAL atau ASSEMBLY namun kesemua program tersebut harus disesuaikan dengan handshaking antara PC dan modem IC 6860 agar proses pengiriman dapat dilakukan.

Untuk dapat melakukan semua itu pengiriman data melalui serial port harus mengamati status sinyal clear to send, request to send, carrier detect, data terminal ready dan data set ready. Pengiriman data tidak dapat dilakukan sampai status RTS tidak dikirim dan sinyal CTS, CD tidak diterima oleh komputer. Secara umum flow chart handshaking yang digunakan tampak pada gambar 3.20.

Adapun dalam tugas akhir ini untuk melakukan komunikasi data digunakan program paket crosstalk XVI yang sudah umum dipakai sebagai komunikasi data paket secara International. Beberapa bagian penting penggunaan program crosstalk XVI adalah setting parameter dari main menu dan transmit dan receive file. Gambar 3.21 menunjukkan setting parameter dari main menu.

Untuk mengirim suatu file ketiklah Command Xmit B: \*.BAS maka akan tampak seperti gambar 3.22.

Dari uraian lengkap tentang perencanaan dan pembuatan alat diatas maka untuk mengetahui bekerja atau tidaknya peralatan bab selanjutnya akan menguraikan pengukuran tiap blok alat serta unjuk kerja dari peralatan yang dibuat.



GAMBAR 3.20

FLOW CHART HANDSHAKING

CROSSTALK - XVI Status Screen Local

Name BENEDIKTUS ARIF D                      Loaded B:STD.XTK  
 Number                                              Capture Off

Communications parameters				Filter settings			
Speed 300	Parity None	Duplex Half		DEbug	RS232 LFauto	On	
Data 8	Stop 1	EMulate None		TABex	Off	BLankex	Off
Port 1		Mode Call		INfilter	On	OUTfilter	On

Key settings		SEnd control settings	
ATten Esc	COmmand ETX (^C)	CWait	None
SWitch Home	BReak End	LWait	None

Available command files

1) STD

GAMBAR 3.21

**GAMBAR STATUS SCREEN CROSSTALK XVI  
 YANG TELAH DI SETTING PARAMETERNYA**

CROSSTALK - XVI Status Screen Local

Name BENEDIKTUS ARIF D                      Loaded B:STD.XTK  
 Number                                              Capture Off

Communications parameters				Filter settings			
Speed 300	Parity None	Duplex Half		DEbug	RS232 LFauto	On	
Data 8	Stop 1	EMulate None		TABex	Off	BLankex	Off
Port 1		Mode Call		INfilter	On	OUTfilter	On

Key settings		SEnd control settings	
ATten Esc	COmmand ETX (^C)	CWait	None
SWitch Home	BReak End	LWait	None

Transmitting B:STD.XTK

Block #	% complete	Consec. errors	Total errors
0	--	none	none

GAMBAR 3.22

**GAMBAR SETTING SCREEN PADA SAAT TRANSMIT FILE**

## BAB IV

### PENGUKURAN

---

Untuk mengetahui hasil-hasil yang direncanakan perlu dibuktikan dengan pengukuran. Pengukuran-pengukuran yang akan diukur meliputi :

- Sinyal digital yang diterima dan di keluarkan oleh IC MC 6860
- Sinyal FSK pada output IC MC 6860
- Sinyal output limiter dan threshold detector
- Sinyal output pulse clock generator
- Respon band pass filter
- Unjuk kerja peralatan yang dibuat

Adapun peralatan-peralatan yang digunakan untuk melakukan semua pengukuran diatas terdiri dari :

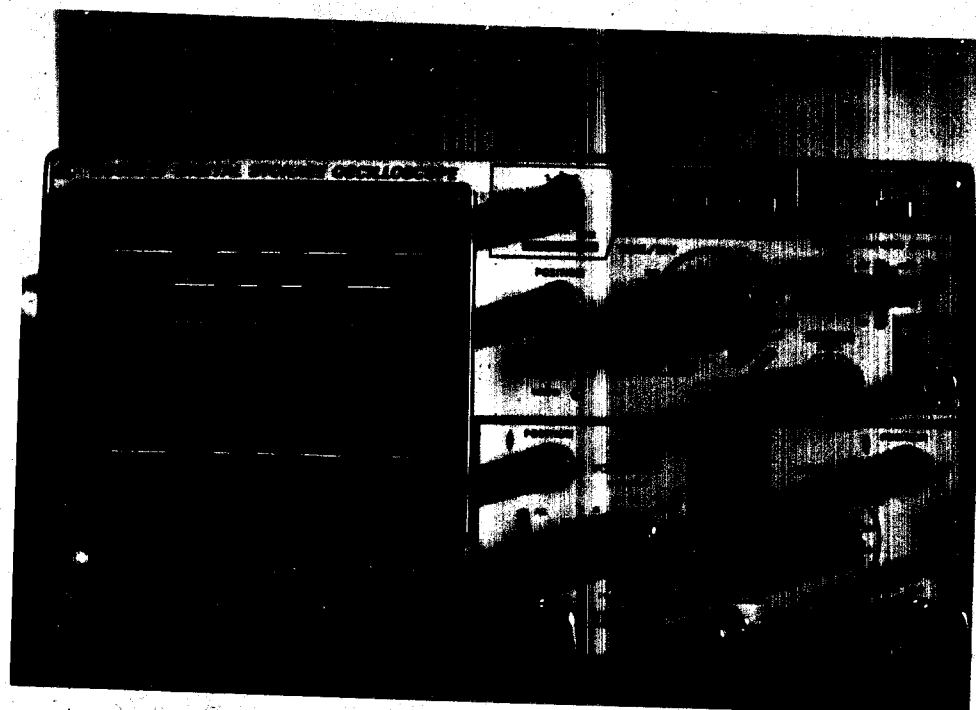
- |                             |                          |
|-----------------------------|--------------------------|
| - Function signal generator | : Kikusui 459            |
| - Oscilloscope              | : Kikusui DSS 5020       |
| - Digital counter           | : Advantes TR 5823       |
| - Digital multimeter        | : Kaise SK-6300          |
| - Power supply              | : Hewlett Packard 6214 A |

#### IV.1. PENGUKURAN SIGNAL DIGITAL YANG DITERIMA DAN DIKELUARKAN OLEH IC 1489

Data yang dikirim berupa signal digital yang akan diterima IC 1489 merupakan data serial asynchronous yang

berasal dari RS-232 C yang secara teoritis telah di jelaskan pada bab sebelumnya. Hasil pengukuran tampak pada gambar 4.1a.

Sedang data yang telah dikonversikan oleh IC 1489 menjadi level TTL hasil pengukurannya tampak pada gambar 4.1b.

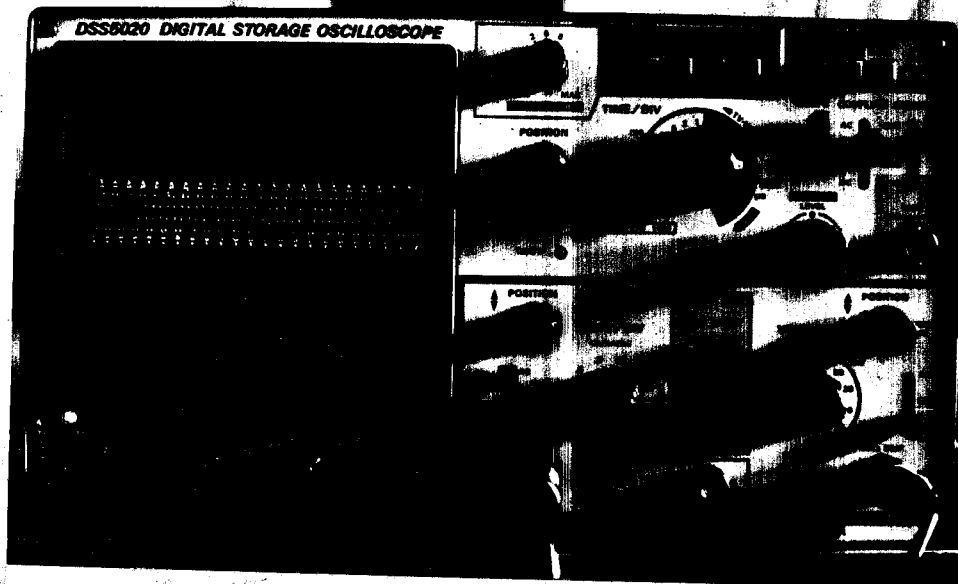


GAMBAR 4.1

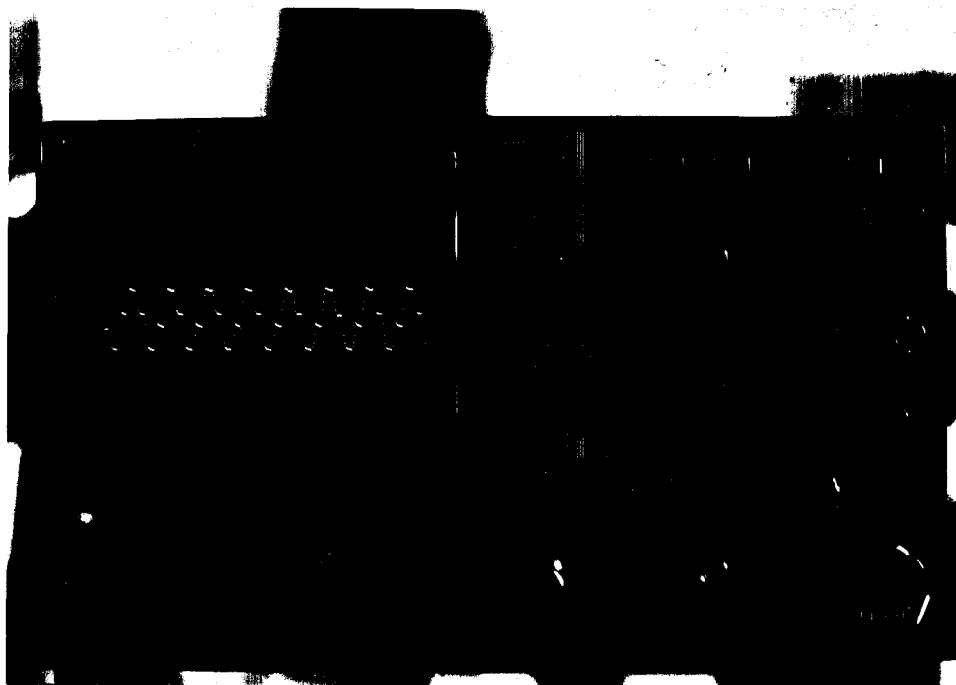
- a) DATA SERIAL OUTPUT DARI RS-232 C ((PADA LAYAR BAGIAN BAWAH)
- b) TEGANGAN RS-232 C YANG BERUBAH MENJADI TTL ((PADA LAYAR BAGIAN ATAS))

#### IV.2. PENGUKURAN SINYAL FSK PADA OUTPUT IC MC 6860

Pengukuran yang dilakukan disini untuk mengetahui bentuk signal digital yang termulasi FM. Frekuensi yang diukur pada keadaan mark dan space tampak pada gambar 4.2.



a)



b)

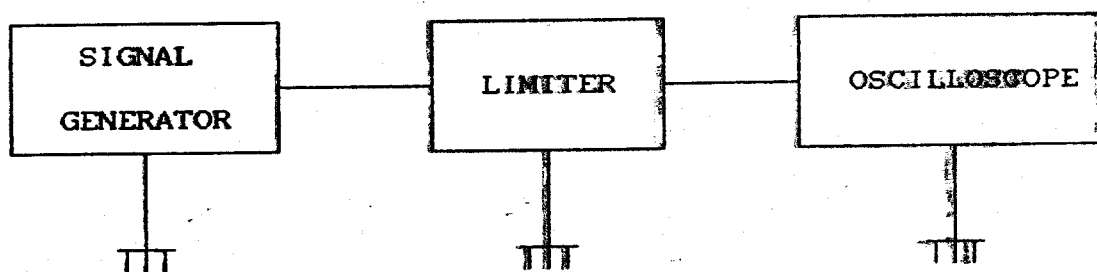
GAMBAR 4.2.

FREKUENSI FSK a) MARK b) SPACE



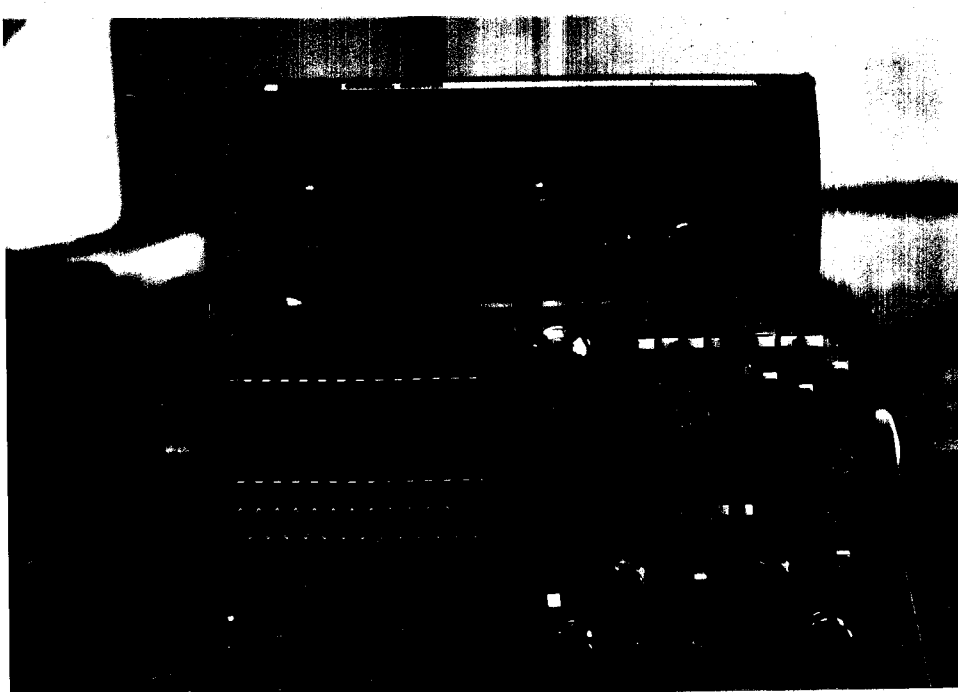
### IV.3. PENGUKURAN SIGNAL OUTPUT LIMITER

Pengukuran pada output limiter bertujuan untuk membuktikan hasil perencanaan dengan hasil kenyataan yang diperoleh, adapun hasil pengukuran output limiter tampak pada gambar 4.3.



GAMBAR 4.3

### METODE PENGUKURAN LIMITER



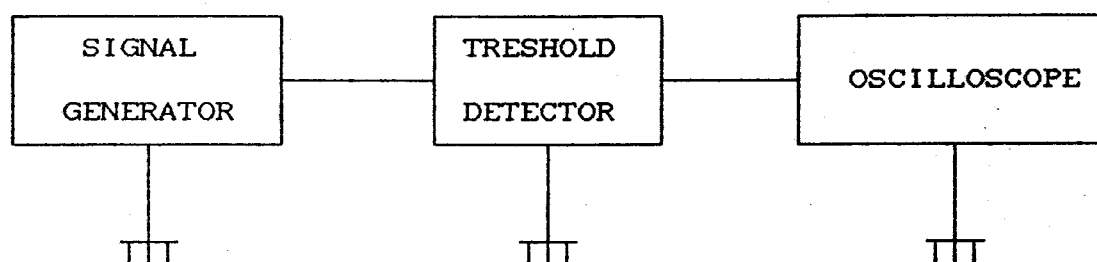
GAMBAR 4.4.

### OUTPUT LIMITER DIBANDINGKAN INPUT

Dari hasil pengukuran diatas output dari limiter dibatasi pada tegangan  $+V_{sat}$  sebesar 9 Volt dan bila input terlalu kecil level tegangannya maka tegangan output dibawah  $\pm 9$  Volt.

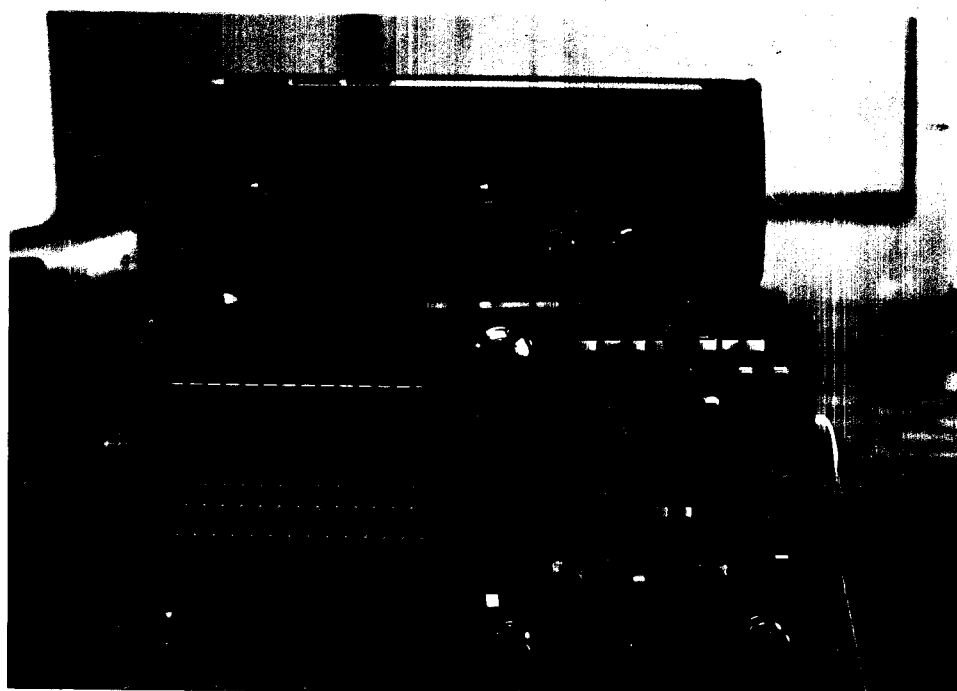
#### IV.4. PENGUKURAN SIGNAL OUTPUT TRESHOLD DETECTOR

Pengukuran pada output treshold detector ini bertujuan untuk mengetahui apakah perencanaan yang dibuat sesuai dengan yang diinginkan karena akibat tidak adanya atau signal output Treshold detector hilang selama 32 ms maka input Rx carrier dari limiter akan diputus. Hasil pengukuran output treshold detector tampak pada gambar 4.6.



GAMBAR 4.5

METODE PENGUKURAN TRESHOLD DETECTOR



**GAMBAR 4.6**

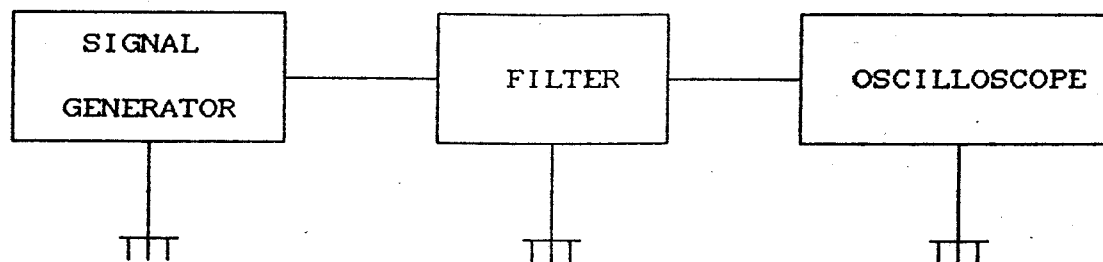
**OUTPUT TRESHOLD DETECTOR DIBANDINGKAN INPUT**

#### **IV.5. PENGUKURAN RESPONS BAND PASS FILTER**

Pengukuran dilakukan dengan memberikan test signal sinusoidal pada input filter dengan frekuensi tertentu yang sama dengan frekuensi tengah 1170 Hz, 1070 Hz, 1270 Hz, 2125 Hz, 2025 Hz dan 2225 Hz. Peralatan yang digunakan pada pengukuran ini adalah :

- Oscilloscope kikusui DSS 5020
- Function generator kikusui 459

besarnya tegangan sinyal sinusoidal untuk masing-masing pengukuran sebesar 10 Vp-p. Tabel 4.1. sampai dengan tabel 4.3. menunjukkan hasil pengukuran peralatan.



GAMBAR 4.7

METODE PENGUKURAN FILTER

TABEL 4.1

HASIL PENGUKURAN UNTUK SINYAL INPUT

DENGAN FREKUENSI 1170 Hz

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (V <sub>p-p</sub> )
400	1
500	1,5
600	3
700	5
800	7
900	10
1000	15
1100	18
1200	13
1300	9
1400	7
1500	6
1600	5
1700	3.5

**TABEL 4.2**  
**HASIL PENGUKURAN UNTUK SINYAL INPUT**  
**DENGAN FREKUENSI 1070 Hz**

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (Vp-p)
400	1
500	3
600	3
700	3.25
800	4
900	16
1000	9
1100	5
1200	4
1300	3.5
1400	1.5
1500	1
1600	1
1700	0.5

**TABEL 4.3**  
**HASIL PENGUKURAN UNTUK SINYAL INPUT**  
**DENGAN FREKUENSI 1270 Hz**

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (Vp-p)
400	1
500	1, 5
600	1, 75
700	2
800	3
900	4
1000	6
1100	9
1200	17
1300	16
1400	10
1500	7
1600	5
1700	4

**TABEL 4.4**  
**HASIL PENGUKURAN UNTUK SINYAL INPUT**  
**DENGAN FREKUENSI 2125 Hz**

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (Vp-p)
1500	2
1600	2, 25
1700	2, 5
1800	3
1900	4
2000	6
2100	9
2200	17, 5
2300	12
2400	7
2500	5
2600	4
2700	3
2800	2, 25

**TABEL 4.5**  
**HASIL PENGUKURAN UNTUK SINYAL INPUT**  
**DENGAN FREKUENSI 2025 Hz**

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (Vp-p)
1500	1
1600	4
1700	5
1800	8
1900	10
2000	13
2100	17
2200	14
2300	10
2400	9
2500	5
2600	3
2700	1, 75
2800	1, 5

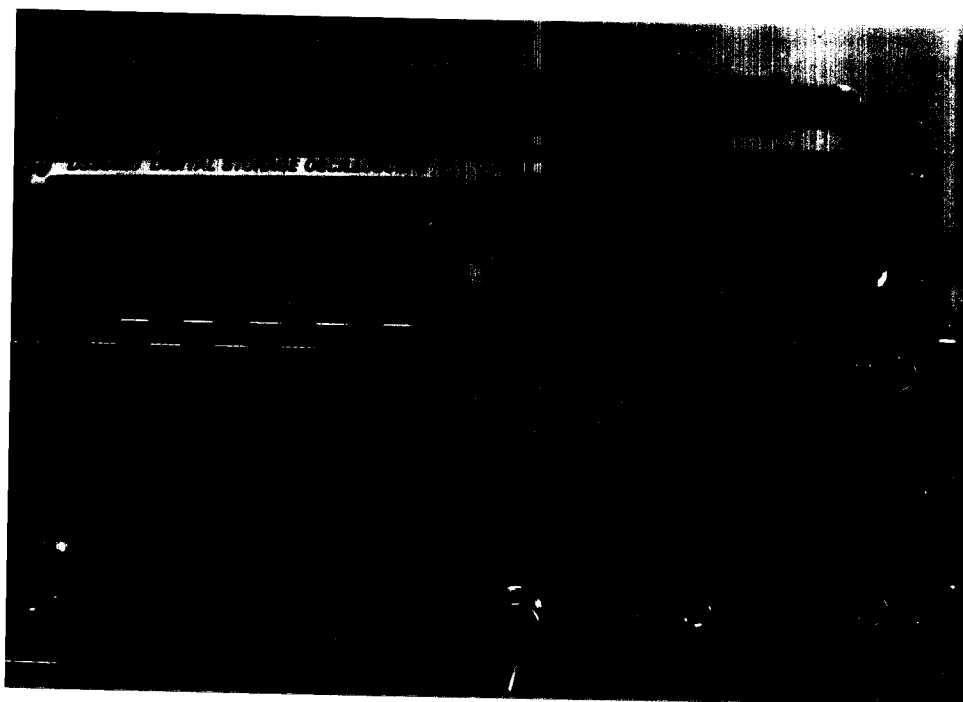
**TABEL 4. 6**  
**HASIL PENGUKURAN UNTUK SINYAL INPUT**  
**DENGAN FREKUENSI 2225 Hz**

TITIK PENGUKURAN (Hz)	HASIL PENGUKURAN (Vp-p)
1500	5
1600	5, 5
1700	7
1800	10, 5
1900	12
2000	15
2100	17
2200	10
2300	7
2400	5, 5
2500	4, 5
2600	4
2700	3, 75
2800	3, 5

#### IV. 6. PENGUKURAN OUTPUT CLOCK PULSE GENERATOR

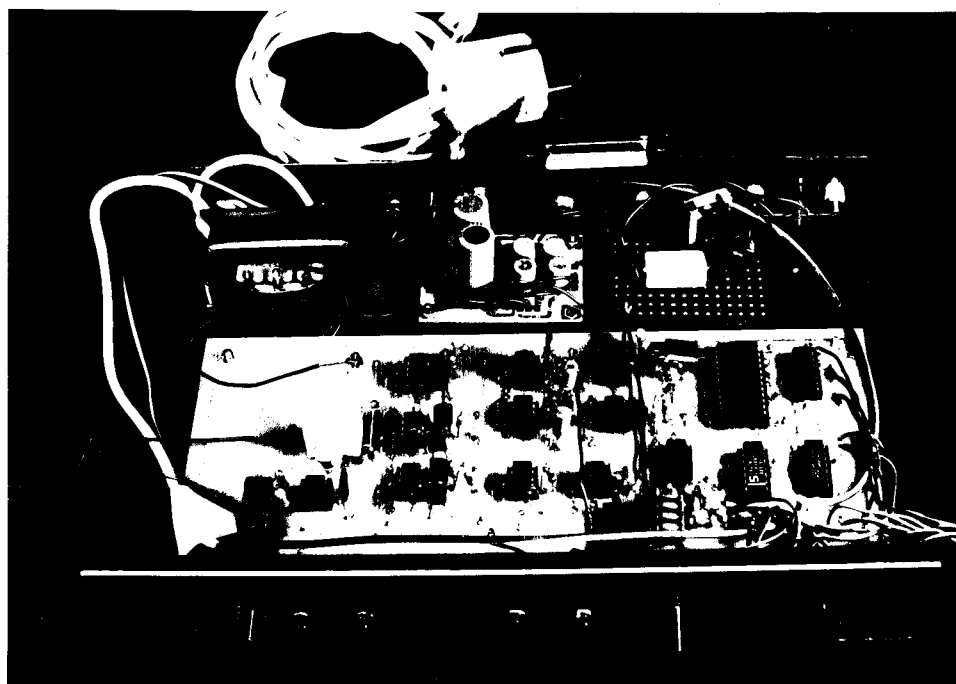
Pengukuran ini bertujuan untuk mengetahui hasil perencanaan yang dibuat dengan hasil yang diperoleh. Desain yang dibuat bekerja pada frekuensi 1 KHz dengan pertimbangan bahwa clock yang keluaranya berbentuk pulsa 0 dan 1 itu dapat mengaktifkan modem lawan agar mengeluarkan signal FSK dan membuat pin SH pada modem lawan pada kondisi high. Hasil pengukurannya tampak pada gambar 4. 8.

Sedangkan prototype dari rangkaian lengkap dapat dilihat pada gambar 4. 9.



**GAMBAR 4.8**

**OUTPUT CLOCK PULSE GENERATOR**



**GAMBAR 4.9**

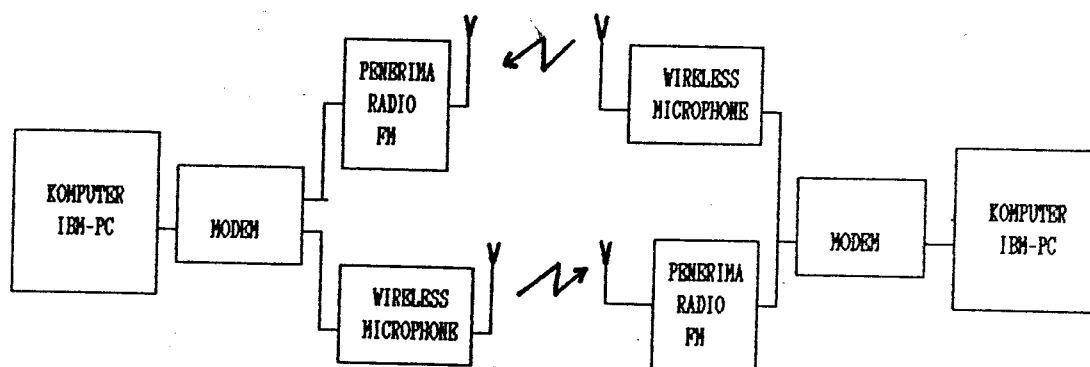
**PROTOTYPE PERALATAN YANG DIBUAT**



#### IV.7. UNJUK KERJA PERALATAN YANG DIBUAT

Dari seluruh penjelasan dan pengukuran diatas pada bagian ini akan dijelaskan mengenai unjuk kerja peralatan serta kelemahan bagian yang dirancang yang mengakibatkan unjuk kerja yang kurang sempurna dari hasil yang diinginkan.

Untuk mengetahui unjuk kerja peralatan dibutuhkan peralatan pendukung yaitu dua buah komputer yang didalamnya terdapat fasilitas serial input output RS 232 C, dua buah wireless microphone FM, dua buah penerima radio FM serta software untuk komunikasi data. Untuk lebih jelasnya lihat gambar 4.10.



GAMBAR 4. 10

RANGKAIAN DIAGRAM BLOK

PENGUKURAN UNJUK KERJA PERALATAN YANG DIBUAT

Tujuan dari pengamatan unjuk kerja ini adalah untuk mengetahui sejauh mana data atau karakter yang dikirim sampai pada terminal yang dituju, adapun langkah - langkah pengoperasian pengiriman data adalah sebagai berikut :

1. Program paket yang digunakan adalah program paket umum XTALK XVI yang harus disetting dengan rincian sebagai berikut :

Parameter komunikasi			
SPeed	300	PARity	None
		DUPlex	Half
DATA	8	STop	1
		EMulate	None
PORT	1	MODE	Call

Filter setting			
DEbug	RS232	LFauto	On
TABex	Off	BLankex	Off
INfilter	ON	OUTfilter	On

SEnd control setting	
CWait	None
LWait	None

untuk mengeset itu semua maka harus berada pada mode command dengan menekan ENTER atau ^C dan menekan dua huruf besar diikuti kata yang sesuai dengan seting parameter diatas misalnya :

COMMAND ? SP 300

sedangkan bila hanya mengetikkan dua huruf besar maka komputer akan menyediakan pilihan menu yang diinginkan.

2. Selanjutnya setelah di set sesuai dengan parameter diatas maka masih dalam mode command kita ketikkan urutan perintah sebagai berikut:

HA ON

GO LOCAL

XMIT B:\*. \*

HA singkatan dari handshaking dari protokol yang harus di aktifkan, GO LOCAL perintah ini digunakan untuk mengaktifkan port I/O agar transfer data bisa dilakukan sedang XMIT adalah perintah untuk mengirimkan file yang akan dikirimkan. setelah semua data dikirim dan diinginkan Link data tak aktif maka pada Command mode ketikkan kata

BYE

3. ON-kan semua peralatan kemudian frekuensi radio penerima FM disesuaikan dengan frekuensi pancar dari wireless microphone.
4. Kita tekan tombol dari protokol data yang mengirim file untuk mengaktifkan carrier lalu tombol untuk mengaktifkan pin SH dari Chip IC MC6860 sehingga led menyala yang menandakan RTS dan CTS aktif.

Dari hasil transfer data yang telah didemonstrasikan sebelum tugas akhir ini diseminarkan unjuk kerja peralatan yang dibuat masih kurang memuaskan karena

data atau karakter yang dikirim tidak sesuai dengan hasil yang semestinya hal ini dikarenakan bagian peralatan threshold detect yang dibuat sangat sulit untuk dibuat sesuai dengan spesifikasi data book dari Chip IC MC6860, matching tegangan input yang masuk kadang berubah sampai dibawah level yang semestinya sehingga dapat merubah frekuensi output hal inilah yang menjadikan output CTS kadang aktif kadang tidak, sehingga hasil unjuk kerja peralatan yang dibuat hanya 30 % dari harapan semestinya.

## BAB V

### PENUTUP

---

Setelah melalui pembahasan dan perencanaan yang dilanjutkan dengan pembuatan dan pengukuran serta pengujian maka dapat diambil kesimpulan dan saran sebagai berikut.

#### V.1 KESIMPULAN

- Peralatan yang direncanakan dapat menerima data yang dikirimkan meskipun hasilnya berbeda dengan yang dikirimkan
- Penekanan peralatan ini terletak pada penerimaan level threshold detect yang harus pada kondisi low selama 2  $\mu$ s selama selang satu periode signal carrier input, limiter yang output duty cyclenya 50 % dan band pass filter yang baik agar IC MC 6860 bekerja dengan baik
- Kemampuan unjuk kerja peralatan yang dibuat dibatasi oleh karakteristik wireless microphone yang digunakan, karena walaupun wireless microphone yang digunakan cukup baik namun teknik pemodulasiannya menggunakan rangkaian yang sederhana.
- Dengan lengkapnya fasilitas yang diberikan oleh IC MC 6860 maka perlu adanya penegasan level tegangan pin-pin input output yang tidak digunakan
- Tidak mudah untuk merencanakan dan membuat protokol data yang baik tanpa didukung dengan komponen yang memadai,

perencanaan yang baik serta pembuatan peralatan pendukung sesuai dengan yang dispesifikasikan data book.

## V.2 SARAN

- Untuk komunikasi data jarak jauh yang ditransmisikan melalui kanal udara perlunya direncanakan sebuah receiver yang memiliki sensitivitas, selektifitas serta S/N output yang tinggi
- Dalam merencanakan suatu rangkaian Protokol data yang menggunakan sinyal clock dengan frekuensi yang relatif cukup tinggi, hal yang perlu diperhatikan adalah jalur pada PCB yang dilalui oleh sinyal clock tersebut hendaknya diatur sedemikian rupa sehingga tidak menimbulkan interferensi pada jalur-jalur yang lain. Hal ini dapat dilakukan dengan mengisolasi jalur tersebut terhadap jalur-jalur yang lain.

## DAFTAR PUSTAKA

- 1 Bates, Paul, P.Eng, Practical digital and data communications-with LSI applications, Prentice Hall, Inc., New Jersey, 1987.
- 2 Hall, Douglas V., Microprocessor and Interfacing: Prgramming and Hardware, McGraw-Hill Book Company, Singapore, 1987.
- 3 Halsall, Fred, Introduction to Data Communications and Computer Networks, Adison Wesley Publishing Company Inc, England, 1985.
- 4 -----, IBM Personal Computer XT Technical Reference Manual.
- 5 Kruglinski, David, Guide To IBM-PC Communications, The Osborne/Mc Graw-Hill, 1986.
- 6 -----, M 6800 Aplication Manual, Motorola Published, 1984.
- 7 Miller, Gary M., Modern Electronic Communication, Prentice-Hall, Inc., New Jersey, 1989.
- 8 Milman-Halkias, Integrated Electronic : Analog and Digital Circuits and Systems, MacGraw-Hill Kogakusha, Tokyo, 1972.
- 9 Shanmugam, K. Sam, Digital and Analog Communication Systems, John Willey and Sons, Inc., United State of America, 1979.
- 10 Stark, Henry, and B. Tuteur, Franz, Moderen Communications Theory and System, Prentice-Hall, Inc., New Jersey, 1983.

---

## L A M P I R A N    A

---

### LANGKAH-LANGKAH PEMBUATAN ALAT

LANGKAH LANGKAH PEMBUATAN ALAT YANG DIBUAT ADALAH SEBAGAI BERIKUT :

1. Buat PCB (Printed Circuit Board) dari rangkaian lengkap yang dibuat. Untuk meembuat Lay out PCB mulailah dengan letak IC Chip MC 6860 sebagai komponen utama kemudian diikuti dengan IC yang lainnya sampai tuntas.
2. Pasang IC MC 6860 kemudian tes kondisi dari pin-pin sesuai dengan data book, lanjutkan dengan driver, Threshold detect, Limiter, Penguat, Buffer serta Clock pulse generator, lalu tes kondisi output serta inputnya sampai sesuai dengan spesifikasi yang diinginkan.
3. Pasanglah rangkaian Band Pass Filter dengan harga-harga komponen sesuai dengan yang direncanakan, teslah kondisi rangkaian tersebut apakah sesuai dengan frekuensi cut off yang diinginkan, setelah cocok baru melangkah ke bagian selanjutnya.
4. Pasang konektor DB-25 P sesuai dengan jalur-jalur yang diinginkan.
5. Pasang konektor untuk radio FM dan konektor ke Pencatuan wireless microphone, sesuaikan dengan kondisi radio FM dan wireless microphone yang ada.
6. Tes berapa level tegangan output dan input dari modem



apakah sudah sesuai dengan karakteristik yang diinginkan,  
setelah sesuai langkah terakhir uji coba pengiriman data.



## MC1558, MC1458, MC1458C(continued)

MAXIMUM RATINGS ( $T_A = +25^\circ\text{C}$  unless otherwise noted)

Rating	Symbol	MC1558	MC1458.C	Unit
Power Supply Voltage	$V_{CC}$ $V_{EE}$	+22 -22	+18 -18	Vdc
Input Differential Voltage Range <sup>(1)</sup>	$V_{IDR}$	$\pm 30$		Volts
Input Common-Mode Voltage Range <sup>(2)</sup>	$V_{ICR}$	$\pm 15$		Volts
Output Short Circuit Duration	$t_S$	Continuous		
Power Dissipation (Package Limitation)	$P_D$			mW
Metal Can		680		mW/ $^\circ\text{C}$
Derate above $T_A = +25^\circ\text{C}$		4.6		
Plastic Dual In-Line Packages		625		mW
Derate above $T_A = +25^\circ\text{C}$		5.0		mW/ $^\circ\text{C}$
Ceramic Dual In-Line Package		750		mW/ $^\circ\text{C}$
Derate above $T_A = +25^\circ\text{C}$		6.0		mW/ $^\circ\text{C}$
Operating Ambient Temperature Range	$T_A$	-55 to +125	0 to +75	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +150	-65 to +150	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS ( $V_{CC} = +15\text{ Vdc}$ ,  $V_{EE} = -15\text{ Vdc}$ ,  $T_A = +25^\circ\text{C}$  unless otherwise noted.)

Characteristics	Symbol	MC1558			MC1458			MC1458C			Unit
Input Bias Current $T_A = +25^\circ\text{C}$ $T_A = T_{low} \text{ to } T_{high}$ <sup>(3)</sup>	$I_{IB}$	—	0.2	0.5	—	0.2	0.5	—	0.2	0.7	$\mu\text{A}$
Input Offset Current $T_A = +25^\circ\text{C}$ $T_A = T_{low} \text{ to } T_{high}$	$I_{IO}$	—	0.03	0.2	—	0.03	0.2	—	0.03	0.3	$\mu\text{A}$
Input Offset Voltage ( $R_S \leq 10\text{ k}\Omega$ ) $T_A = +25^\circ\text{C}$ $T_A = T_{low} \text{ to } T_{high}$	$V_{IO}$	—	1.0	5.0	—	2.0	6.0	—	2.0	10	mV
Differential Input Impedance (Open-Loop, $f = 20\text{ Hz}$ )											
Parallel Input Resistance	$r_i$	0.3	1.0	—	0.3	1.0	—	1.0	—	—	Megohms
Parallel Input Capacitance	$c_i$	—	6.0	—	—	6.0	—	6.0	—	—	pF
Common-Mode Input Impedance ( $f = 20\text{ Hz}$ )	$z_i$	—	200	—	—	200	—	200	—	—	Megohms
Common-Mode Input Voltage	$V_{IC}$	$\pm 12$	$\pm 13$	—	$\pm 12$	$\pm 13$	—	$\pm 11$	$\pm 13$	—	Vdc
Equivalent Input Noise Voltage ( $A_V = 100$ , $R_S = 10\text{ k}\Omega$ , $f = 1.0\text{ kHz}$ , $BW = 1.0\text{ Hz}$ )	$e_n$	—	45	—	—	45	—	45	—	—	nV/(Hz) <sup>1/2</sup>
Common-Mode Rejection Ratio ( $f = 100\text{ Hz}$ )	CMRR	70	90	—	70	90	—	60	90	—	dB
Open-Loop Voltage Gain $T_A = +25^\circ\text{C}$ $T_A = T_{low} \text{ to } T_{high}$ $T_A = +25^\circ\text{C}$ $T_A = T_{low} \text{ to } T_{high}$	$A_{VOL}$	50,000 25,000	200,000 —	— —	20,000 15,000	100,000 —	— —	— 20,000	— 100,000	— —	V/V
Power Bandwidth ( $A_V = 1$ , $R_L = 2.0\text{ k}\Omega$ , $THD \leq 5\%$ , $V_O = 20\text{ V p-p}$ )	BWp	—	10	—	—	10	—	—	10	—	kHz
Unity Gain Crossover Frequency (open-loop)	$f_c$	—	1.1	—	—	1.1	—	—	1.1	—	MHz
Phase Margin (open-loop, unity gain)	$\phi_m$	—	65	—	—	65	—	—	65	—	degrees
Gain Margin	$A_M$	—	11	—	—	11	—	—	11	—	dB
Slew Rate (Unity Gain)	SR	—	0.8	—	—	0.8	—	—	0.8	—	V/ $\mu\text{s}$
Output Impedance ( $f = 20\text{ Hz}$ )	$z_o$	—	75	—	—	75	—	—	75	—	ohms
Short-Circuit Output Current	$I_{OS}$	—	20	—	—	20	—	—	20	—	mA
Output Voltage Swing ( $R_L = 10\text{ k}\Omega$ ) $R_L = 2\text{ k}\Omega$ ( $T_A = T_{low} \text{ to } T_{high}$ )	$V_O$	$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$	—	$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$	—	$\pm 11$ $\pm 9.0$	$\pm 14$ $\pm 13$	—	Vdc
Average Temperature Coefficient of Input Offset Voltage ( $R_S = 50\text{ ohms}$ , $T_A = T_{low} \text{ to } T_{high}$ )	$\Delta V_{IO}/\Delta T$	—	15	—	—	15	—	—	15	—	$\mu\text{V}/^\circ\text{C}$
Power Supply Sensitivity $V_{EE} = \text{constant}$ , $R_S \leq 10\text{ k}\Omega$ $V_{CC} = \text{constant}$ , $R_S \leq 10\text{ k}\Omega$	PSS+ PSS-	— —	30 30	150 150	— —	30 30	150 150	— —	30 30	—	$\mu\text{V/V}$
Power Supply Current	$I_{CC}$ $I_{EE}$	— —	2.3 2.3	5.0 5.0	— —	2.3 2.3	5.6 5.6	— —	2.3 2.3	8.0 8.0	mA
DC Quiescent Power Consumption ( $V_O = 0$ )	$P_C$	—	55	150	—	55	170	—	55	240	mW

<sup>(1)</sup> For supply voltages of less than  $\pm 15\text{ V}$ , the maximum differential input voltage is equal to  $\pm (V_{CC} + |V_{EE}|)$ .

<sup>(2)</sup> For supply voltages of less than  $\pm 15\text{ V}$ , the maximum input voltage is equal to the supply voltage  $(+V_{CC}, -|V_{EE}|)$ .

<sup>(3)</sup>  $T_{low}$   $0^\circ\text{C}$  for MC1458.C  
 $-55^\circ\text{C}$  for MC1558  
 $+75^\circ\text{C}$  for MC1458.C  
 $+125^\circ\text{C}$  for MC1558

## MC1558, MC1458, MC1458C (continued)

FIGURE 3 — TYPICAL FREQUENCY SHIFT KEYSER TONE GENERATOR CIRCUIT

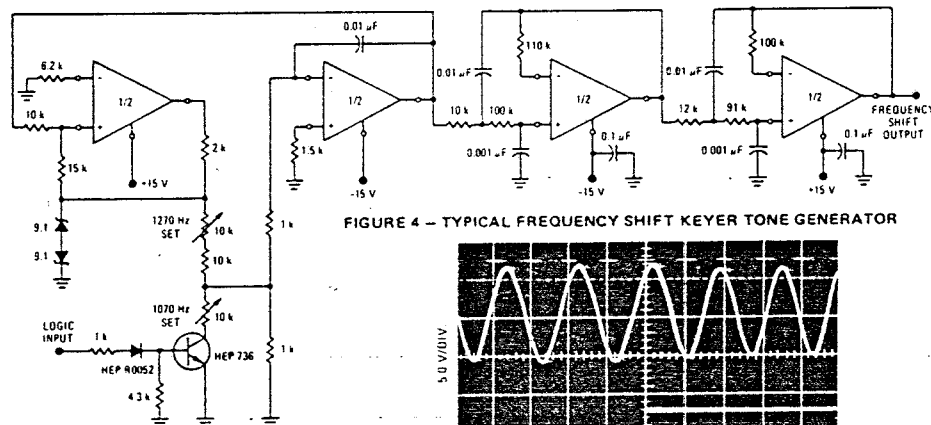
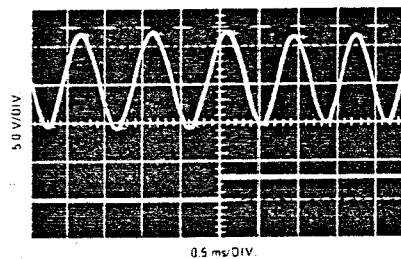


FIGURE 4 — TYPICAL FREQUENCY SHIFT KEYSER TONE GENERATOR



## TYPICAL CHARACTERISTICS

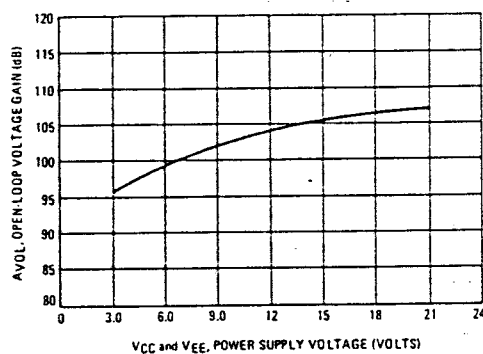
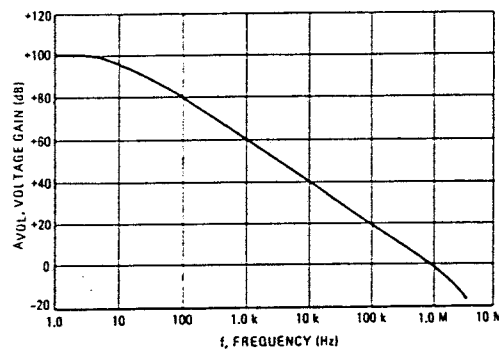
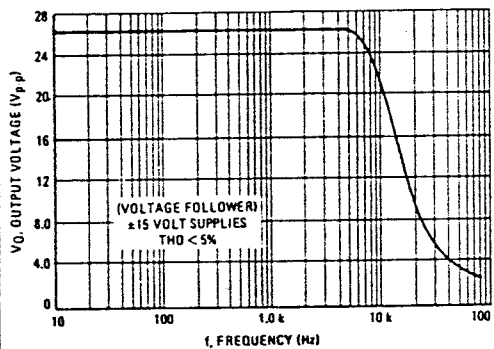
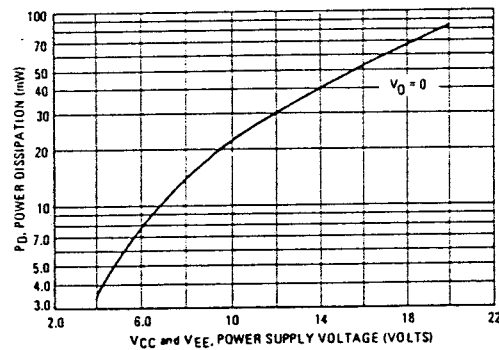
(V<sub>CC</sub> = +15 Vdc, V<sub>EE</sub> = -15 Vdc, T<sub>A</sub> = +25°C unless otherwise noted.)FIGURE 5 — OPEN-LOOP VOLTAGE GAIN  
versus POWER-SUPPLY VOLTAGE

FIGURE 6 — OPEN-LOOP FREQUENCY RESPONSE

FIGURE 7 — POWER BANDWIDTH  
(LARGE SIGNAL SWING versus FREQUENCY)FIGURE 8 — POWER DISSIPATION  
versus POWER SUPPLY VOLTAGE

## MC1558, MC1458, MC1458C (continued)

## TYPICAL CHARACTERISTICS (continued)

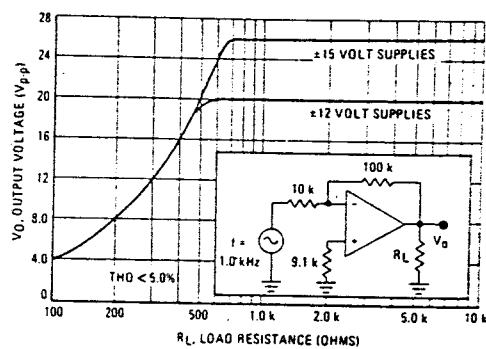
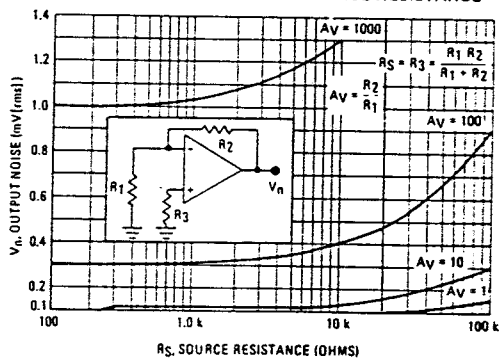
(V<sub>CC</sub> = +15 Vdc, V<sub>EE</sub> = -15 Vdc, T<sub>A</sub> = +25°C unless otherwise noted.)FIGURE 9 — OUTPUT VOLTAGE SWING  
versus LOAD RESISTANCE

FIGURE 10 — OUTPUT NOISE versus SOURCE RESISTANCE



## LINEAR/DIGITAL INTERFACE CIRCUITS

## MC1488

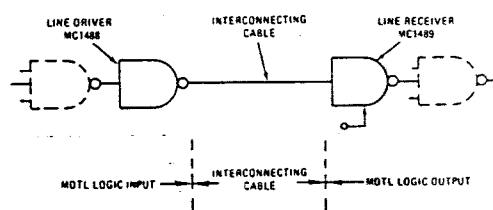
## QUAD LINE DRIVER

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

## Features:

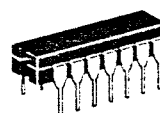
- Current Limited Output  
 $\pm 10$  mA typ
- Power-Off Source Impedance  
300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

## TYPICAL APPLICATION

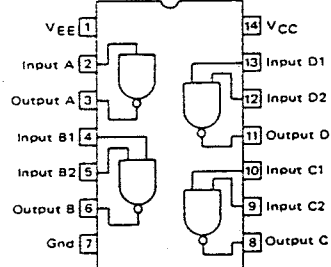


QUAD MDTL LINE DRIVER  
RS-232C  
SILICON MONOLITHIC  
INTEGRATED CIRCUIT

L Suffix  
CERAMIC PACKAGE  
CASE 632  
TO-116

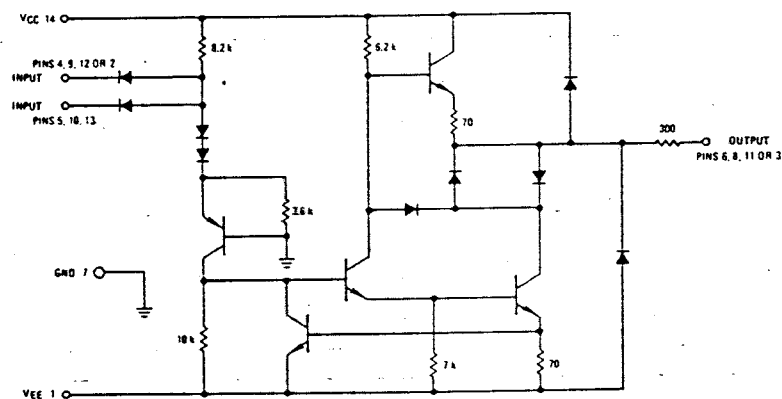


## PIN CONNECTIONS



P Suffix  
PLASTIC PACKAGE  
CASE 646

CIRCUIT SCHEMATIC  
(1/4 OF CIRCUIT SHOWN)



See Packaging Information Section for outline dimensions.

## MC1488 (continued)

MAXIMUM RATINGS ( $T_A = +25^\circ\text{C}$  unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$ $V_{EE}$	+15 -15	Vdc
Input Voltage Range	$V_{IR}$	$-15 < V_{IR} < 7.0$	Vdc
Output Signal Voltage	$V_O$	$\pm 15$	Vdc
Power Derating (Package Limitation, Ceramic and Plastic Dual-In-Line Package) Derate above $T_A = +25^\circ\text{C}$	$P_D$ $1/R_{\theta JA}$	1000 6.7	mW mW/ $^\circ\text{C}$
Operating Ambient Temperature Range	$T_A$	0 to +75	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +175	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS ( $V_{CC} = +9.0 \pm 1\% \text{ Vdc}$ ,  $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$ ,  $T_A = 0$  to  $+75^\circ\text{C}$  unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Input Current — Low Logic State ( $V_{IL} = 0$ )	1	$I_{IL}$	—	1.0	1.6	mA
Input Current — High Logic State ( $V_{IH} = 5.0 \text{ V}$ )	1	$I_{IH}$	—	—	10	$\mu\text{A}$
Output Voltage — High Logic State ( $V_{IL} = 0.8 \text{ Vdc}$ , $R_L = 3.0 \text{ k}\Omega$ , $V_{CC} = +9.0 \text{ Vdc}$ , $V_{EE} = -9.0 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $R_L = 3.0 \text{ k}\Omega$ , $V_{CC} = +13.2 \text{ Vdc}$ , $V_{EE} = -13.2 \text{ Vdc}$ )	2	$V_{OH}$	+6.0 +9.0	+7.0 +10.5	—	Vdc
Output Voltage — Low Logic State ( $V_{IH} = 1.0 \text{ Vdc}$ , $R_L = 3.0 \text{ k}\Omega$ , $V_{CC} = +9.0 \text{ Vdc}$ , $V_{EE} = -9.0 \text{ Vdc}$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $R_L = 3.0 \text{ k}\Omega$ , $V_{CC} = +13.2 \text{ Vdc}$ , $V_{EE} = -13.2 \text{ Vdc}$ )	2	$V_{OL}$	-6.0 -9.0	-7.0 -10.5	—	Vdc
Positive Output Short-Circuit Current (1)	3	$I_{OS+}$	+6.0	+10	+12	mA
Negative Output Short-Circuit Current (1)	3	$I_{OS-}$	-6.0	-10	-12	mA
Output Resistance ( $V_{CC} = V_{EE} = 0$ , $ V_O  = \pm 2.0 \text{ V}$ )	4	$r_o$	300	—	—	Ohms
Positive Supply Current ( $R_L = \infty$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{CC} = +9.0 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{CC} = +9.0 \text{ Vdc}$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{CC} = +12 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{CC} = +12 \text{ Vdc}$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{CC} = +15 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{CC} = +15 \text{ Vdc}$ )	5	$I_{CC}$	— — — — — —	+15 +4.5 +19 +5.5 — —	+20 +6.0 +25 +7.0 +34 +12	mA
Negative Supply Current ( $R_L = \infty$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{EE} = -9.0 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{EE} = -9.0 \text{ Vdc}$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{EE} = -12 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{EE} = -12 \text{ Vdc}$ ) ( $V_{IH} = 1.9 \text{ Vdc}$ , $V_{EE} = -15 \text{ Vdc}$ ) ( $V_{IL} = 0.8 \text{ Vdc}$ , $V_{EE} = -15 \text{ Vdc}$ )	5	$I_{EE}$	— — — — — —	-13 — -18 — — —	-17 -15 -23 -15 -34 -2.5	mA $\mu\text{A}$ mA $\mu\text{A}$ mA mA
Power Consumption ( $V_{CC} = 9.0 \text{ Vdc}$ , $V_{EE} = -9.0 \text{ Vdc}$ ) ( $V_{CC} = 12 \text{ Vdc}$ , $V_{EE} = -12 \text{ Vdc}$ )		$P_C$	— —	— —	333 576	mW

SWITCHING CHARACTERISTICS ( $V_{CC} = +9.0 \pm 1\% \text{ Vdc}$ ,  $V_{EE} = -9.0 \pm 1\% \text{ Vdc}$ ,  $T_A = +25^\circ\text{C}$ .)

Propagation Delay Time ( $z_L = 3.0 \text{ k}$ and $15 \text{ pF}$ )	6	$t_{PLH}$	—	275	350	ns
Fall Time ( $z_L = 3.0 \text{ k}$ and $15 \text{ pF}$ )	6	$t_{THL}$	—	45	75	ns
Propagation Delay Time ( $z_L = 3.0 \text{ k}$ and $15 \text{ pF}$ )	6	$t_{PHL}$	—	110	175	ns
Rise Time ( $z_L = 3.0 \text{ k}$ and $15 \text{ pF}$ )	6	$t_{TLH}$	—	55	100	ns

(1) Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.

## MC1488 (continued)

## CHARACTERISTIC DEFINITIONS

FIGURE 1 — INPUT CURRENT

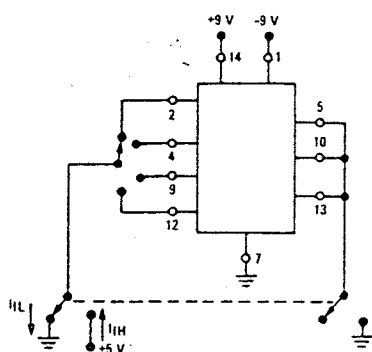


FIGURE 2 — OUTPUT VOLTAGE

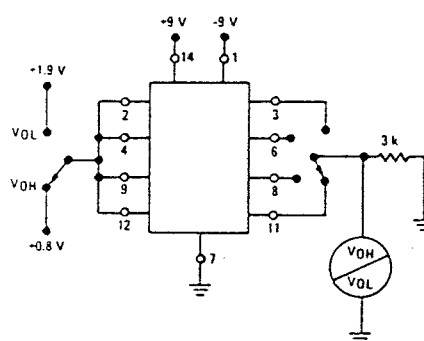


FIGURE 3 — OUTPUT SHORT-CIRCUIT CURRENT

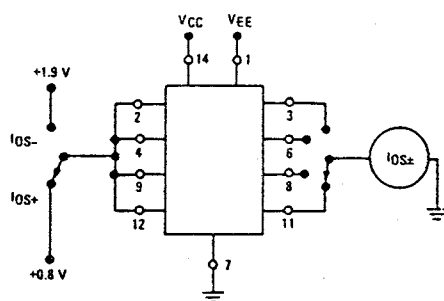


FIGURE 4 — OUTPUT RESISTANCE (POWER-OFF)

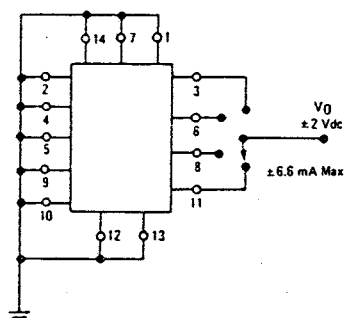


FIGURE 5 — POWER-SUPPLY CURRENTS

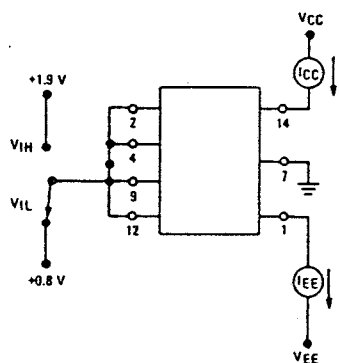
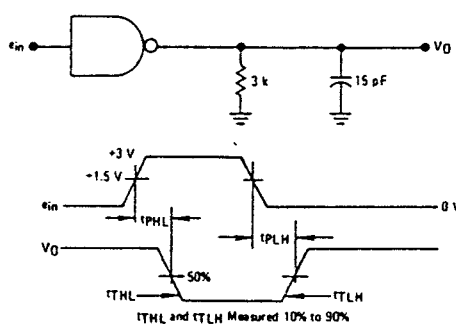


FIGURE 6 — SWITCHING RESPONSE





## MC1488 (continued)

TYPICAL CHARACTERISTICS  
( $T_A = +25^\circ\text{C}$  unless otherwise noted.)

FIGURE 7 – TRANSFER CHARACTERISTICS  
versus POWER-SUPPLY VOLTAGE

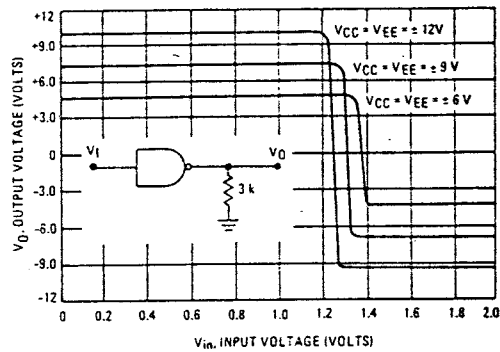


FIGURE 8 – SHORT-CIRCUIT OUTPUT CURRENT  
versus TEMPERATURE

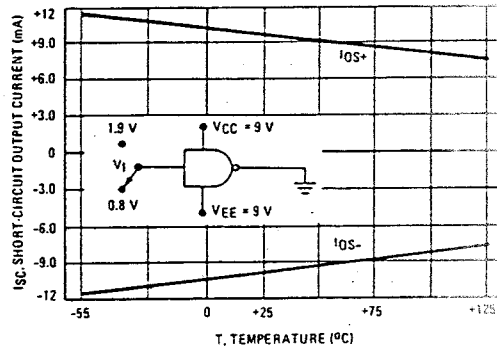


FIGURE 9 – OUTPUT SLEW RATE versus LOAD CAPACITANCE

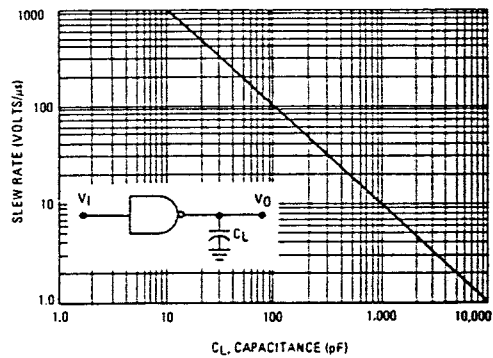


FIGURE 10 – OUTPUT VOLTAGE  
AND CURRENT-LIMITING CHARACTERISTICS

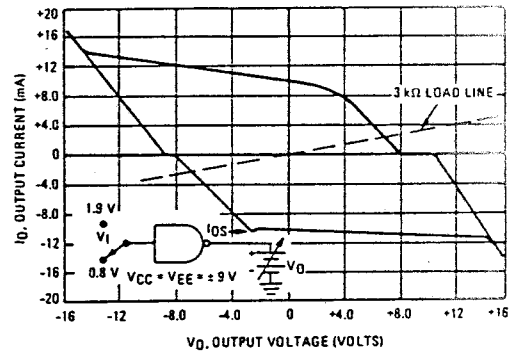
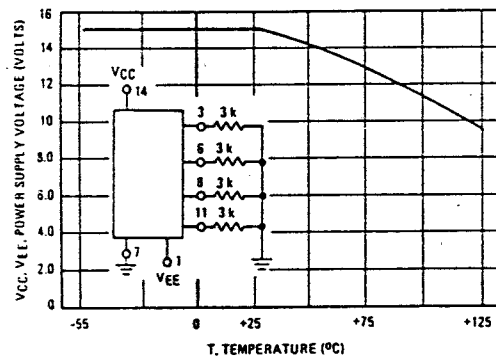


FIGURE 11 – MAXIMUM OPERATING TEMPERATURE  
versus POWER-SUPPLY VOLTAGE



## MC1488 (continued)

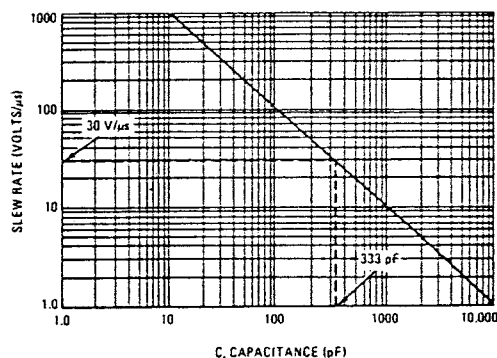
## APPLICATIONS INFORMATION

The Electronic Industries Association (EIA) has released the RS232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS232C defined levels. The RS232C requirements as applied to drivers are discussed herein.

The required driver voltages are defined as between 5 and 15 volts in magnitude and are positive for a logic "0" and negative for a logic "1". These voltages are so defined when the drivers are terminated with a 3000 to 7000-ohm resistor. The MC1488 meets this voltage requirement by converting a DTL/TTL logic level into RS232C levels with one stage of inversion.

The RS232C specification further requires that during transitions, the driver output slew rate must not exceed 30 volts per microsecond. The inherent slew rate of the MC1488 is much too

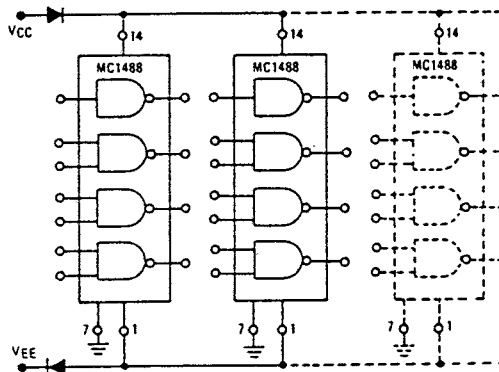
FIGURE 12 — SLEW RATE versus CAPACITANCE  
FOR  $I_{SC} = 10$  mA



fast for this requirement. The current limited output of the device can be used to control this slew rate by connecting a capacitor to each driver output. The required capacitor can be easily determined by using the relationship  $C = I_{OS} \times \Delta T / \Delta V$  from which Figure 12 is derived. Accordingly, a 330-pF capacitor on each output will guarantee a worst case slew rate of 30 volts per microsecond.

The interface driver is also required to withstand an accidental short to any other conductor in an interconnecting cable. The worst possible signal on any conductor would be another driver using a plus or minus 15-volt, 500-mA source. The MC1488 is designed to indefinitely withstand such a short to all four outputs in a package as long as the power-supply voltages are greater than 9.0 volts (i.e.,  $V_{CC} \geq 9.0$  V;  $V_{EE} \leq -9.0$  V). In some power-supply designs, a loss of system power causes a low impedance on the power-supply outputs. When this occurs, a low impedance to ground would exist at the power inputs to the MC1488 effectively shorting the 300-ohm output resistors to ground. If all four outputs were then shorted to plus or minus 15 volts, the power dissipation in these resistors

FIGURE 13 — POWER-SUPPLY PROTECTION  
TO MEET POWER-OFF FAULT CONDITIONS



would be excessive. Therefore, if the system is designed to permit low impedances to ground at the power-supplies of the drivers, a diode should be placed in each power-supply lead to prevent overheating in this fault condition. These two diodes, as shown in Figure 13, could be used to decouple all the driver packages in a system. (These same diodes will allow the MC1488 to withstand momentary shorts to the  $\pm 25$ -volt limits specified in the earlier Standard RS232B.) The addition of the diodes also permits the MC1488 to withstand faults with power-supplies of less than the 9.0 volts stated above.

The maximum short-circuit current allowable under fault conditions is more than guaranteed by the previously mentioned 10 mA output current limiting.

## Other Applications

The MC1488 is an extremely versatile line driver with a myriad of possible applications. Several features of the drivers enhance this versatility:

1. Output Current Limiting — this enables the circuit designer to define the output voltage levels independent of power-supplies and can be accomplished by diode clamping of the output pins. Figure 14 shows the MC1488 used as a DTL to MOS translator where the high-level voltage output is clamped one diode above ground. The resistor divider shown is used to reduce the output voltage below the 300 mV above ground MOS input level limit.

2. Power-Supply Range — as can be seen from the schematic drawing of the drivers, the positive and negative driving elements of the device are essentially independent and do not require matching power-supplies. In fact, the positive supply can vary from a minimum seven volts (required for driving the negative pulldown section) to the maximum specified 15 volts. The negative supply can vary from approximately -2.5 volts to the minimum specified -15 volts. The MC1488 will drive the output to within 2 volts of the positive or negative supplies as long as the current output limits are not exceeded. The combination of the current-limiting and supply-voltage features allow a wide combination of possible outputs within the same quad package. Thus if only a portion of the four drivers are used for driving RS232C lines, the remainder could be used for DTL to MOS or even DTL to DTL translation. Figure 15 shows one such combination.

## MC1488 (continued)

FIGURE 14 — MOTL/MTTL-TO-MOS TRANSLATOR

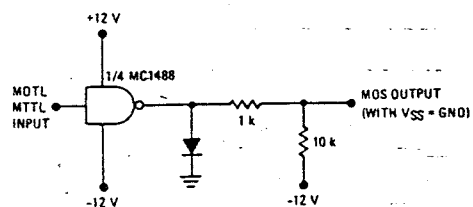
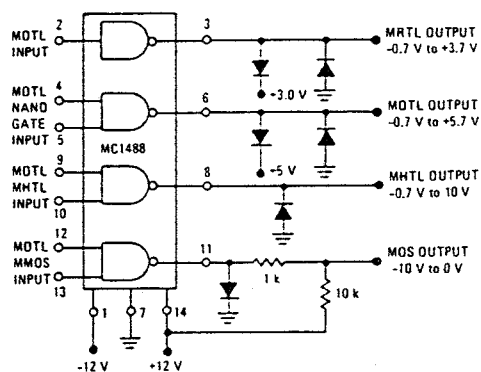


FIGURE 15 — LOGIC TRANSLATOR APPLICATIONS



## LINEAR/DIGITAL INTERFACE CIRCUITS

**MC1488L****QUAD LINE DRIVER**

This device is not recommended for new design, but Motorola will continue to supply this device for existing applications.

For a complete data sheet, mail your request to Motorola Semiconductor Products, Inc., P.O. Box 20912, Phoenix, Arizona 85036

## LINEAR/DIGITAL INTERFACE CIRCUITS

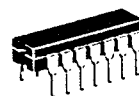
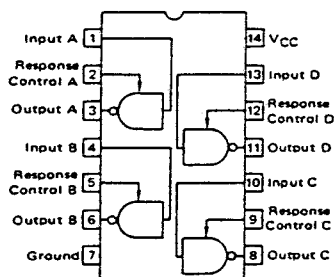
# MC1489L

## MC1489AL

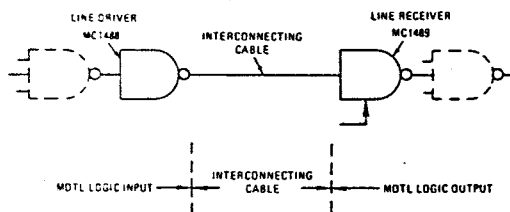
## QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

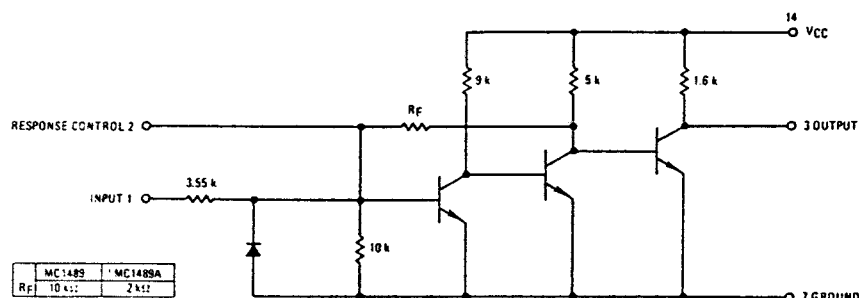
- Input Resistance — 3.0 k to 7.0 kilohms
- Input Signal Range —  $\pm 30$  Volts
- Input Threshold Hysteresis Built In
- Response Control
  - a) Logic Threshold Shifting
  - b) Input Noise Filtering

QUAD MDTL  
LINE RECEIVERS  
RS-232CSILICON MONOLITHIC  
INTEGRATED CIRCUITP SUFFIX  
PLASTIC PACKAGE  
CASE 646L SUFFIX  
CERAMIC PACKAGE  
CASE 632  
TO-116

## TYPICAL APPLICATION



## CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



See Packaging Information Section for outline dimensions.

## MC1489L, MC1489AL (continued)

MAXIMUM RATINGS ( $T_A = +25^\circ\text{C}$  unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$	10	Vdc
Input Voltage Range	$V_{IR}$	$\pm 30$	Vdc
Output Load Current	$I_L$	20	mA
Power Dissipation (Package Limitation, Ceramic and Plastic Dual In-Line Package) Derate above $T_A = +25^\circ\text{C}$	$P_D$ $1/\theta_{JA}$	1000 6.7	mW mW/ $^\circ\text{C}$
Operating Ambient Temperature Range	$T_A$	0 to $+75$	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to $+175$	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS (Response control pin is open.) ( $V_{CC} = +5.0\text{ Vdc} \pm 1\%$ ,  $T_A = 0$  to  $+75^\circ\text{C}$  unless otherwise noted)

Characteristics	Figure	Symbol	Min	Typ	Max	Unit
Positive Input Current ( $V_{IH} = +25\text{ Vdc}$ ) ( $V_{IH} = +3.0\text{ Vdc}$ )	1	$I_{IH}$	3.6 0.43	—	8.3 —	mA
Negative Input Current ( $V_{IL} = -25\text{ Vdc}$ ) ( $V_{IL} = -3.0\text{ Vdc}$ )	1	$I_{IL}$	-3.6 -0.43	—	-8.3 —	mA
Input Turn-On Threshold Voltage ( $T_A = +25^\circ\text{C}$ , $V_{OL} \leq 0.45\text{ V}$ )	2	$V_{IHL}$	1.0 1.75	— 1.95	1.5 2.25	Vdc
Input Turn-Off Threshold Voltage ( $T_A = +25^\circ\text{C}$ , $V_{OH} \geq 2.5\text{ V}$ , $I_L = -0.5\text{ mA}$ )	2	$V_{ILH}$	0.75 0.75	— 0.8	1.25 1.25	Vdc
Output Voltage High ( $V_{IH} = 0.75\text{ V}$ , $I_L = -0.5\text{ mA}$ ) (Input Open Circuit, $I_L = -0.5\text{ mA}$ )	2	$V_{OH}$	2.6 2.6	4.0 4.0	5.0 5.0	Vdc
Output Voltage Low ( $V_{IL} = 3.0\text{ V}$ , $I_L = 10\text{ mA}$ )	2	$V_{OL}$	—	0.2	0.45	Vdc
Output Short-Circuit Current	3	$I_{OS}$	—	3.0	—	mA
Power Supply Current ( $V_{IH} = +5.0\text{ Vdc}$ )	4	$I_{CC}$	—	20	26	mA
Power Consumption ( $V_{IH} = +5.0\text{ Vdc}$ )	4	$P_C$	—	100	130	mW

SWITCHING CHARACTERISTICS ( $V_{CC} = 5.0\text{ Vdc} \pm 1\%$ ,  $T_A = +25^\circ\text{C}$ )

Propagation Delay Time ( $R_L = 3.9\text{ k}\Omega$ )	5	$t_{PLH}$	—	25	85	ns
Rise Time ( $R_L = 3.9\text{ k}\Omega$ )	5	$t_{TLH}$	—	120	175	ns
Propagation Delay Time ( $R_L = 390\text{ }\Omega$ )	5	$t_{PHL}$	—	25	50	ns
Fall Time ( $R_L = 390\text{ }\Omega$ )	5	$t_{THL}$	—	10	20	ns

## MC1489L, MC1489AL (continued)

## TEST CIRCUITS

FIGURE 1 - INPUT CURRENT

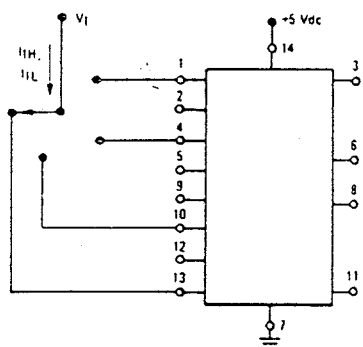


FIGURE 2 - OUTPUT VOLTAGE and INPUT THRESHOLD VOLTAGE

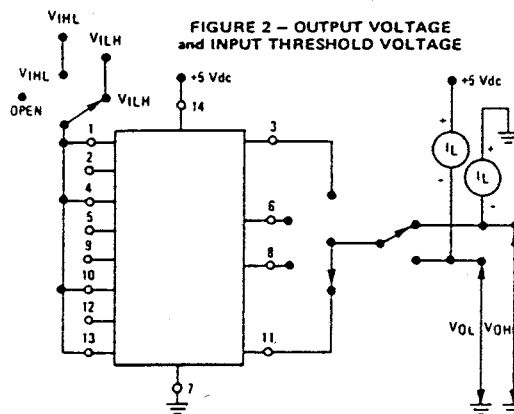


FIGURE 3 - OUTPUT SHORT-CIRCUIT CURRENT

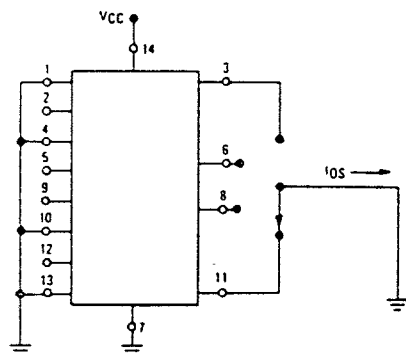


FIGURE 4 - POWER-SUPPLY CURRENT

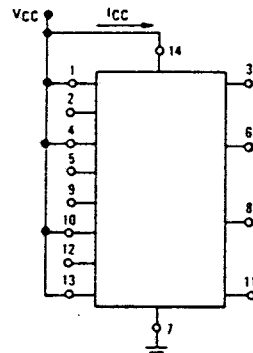


FIGURE 5 - SWITCHING RESPONSE

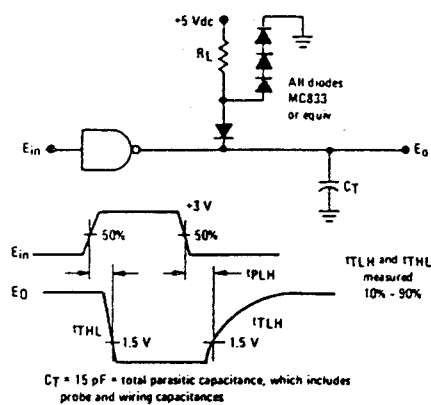
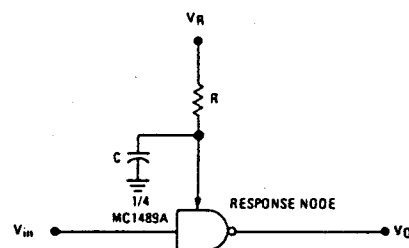


FIGURE 6 - RESPONSE CONTROL NODE



## MC1489L, MC1489AL (continued)

TYPICAL CHARACTERISTICS  
 ( $V_{CC} = 5.0 \text{ Vdc}$ ,  $T_A = +25^\circ\text{C}$  unless otherwise noted)

FIGURE 7 - INPUT CURRENT

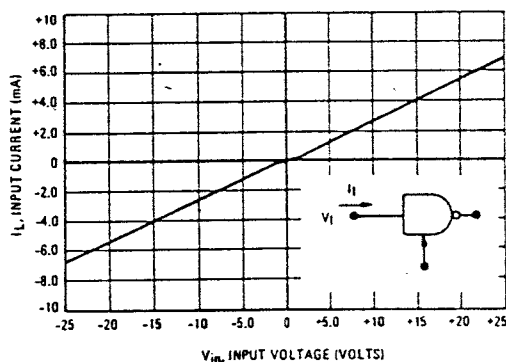


FIGURE 8 - MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

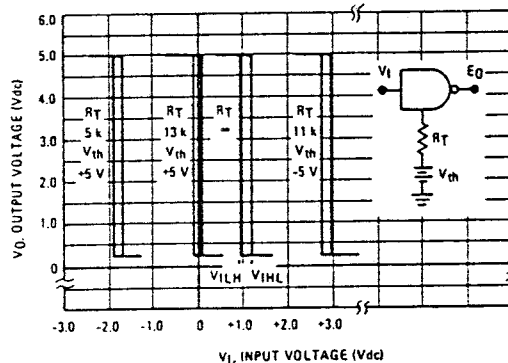


FIGURE 9 - MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

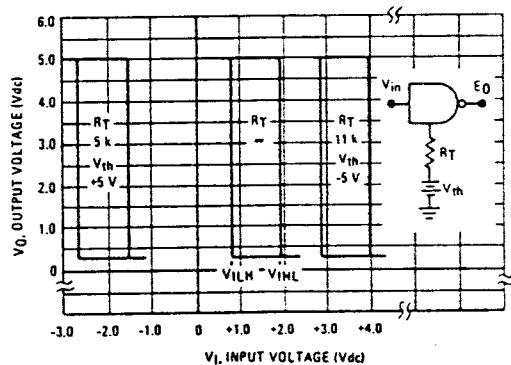


FIGURE 10 - INPUT THRESHOLD VOLTAGE versus TEMPERATURE

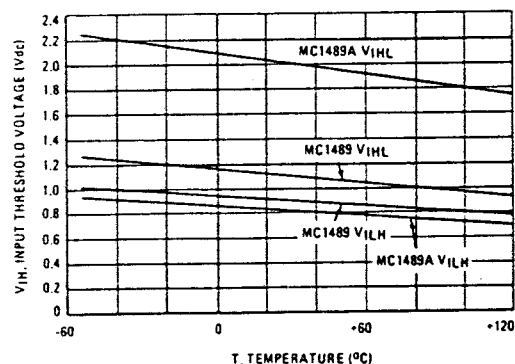
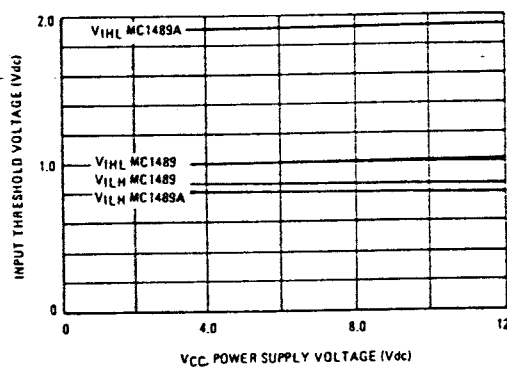


FIGURE 11 - INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE





## MC1489L, MC1489AL (continued)

## APPLICATIONS INFORMATION

## General Information

The Electronic Industries Association (EIA) has released the RS-232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS-232C defined levels. The RS-232C requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one  $V_{GG}$  (Ref. Sect. 2.4).

The receiver shall detect a voltage between -3.0 and -25 volts as a logic "1" and inputs between +3.0 and +25 volts as a logic "0" (Ref. Sect. 2.3). On some interchange leads, an open circuit or power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or logic "1" (Ref. Sect. 2.5). For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or logic "1" input.

## Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input hysteresis for noise

rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power supply. Figures 6, 8 and 9 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high-energy noise pulses. Figures 12 and 13 show typical noise-pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MDTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 14)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 15 where two receivers are slaved to the same line that must still meet the RS-232C impedance requirement.

FIGURE 12 — TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

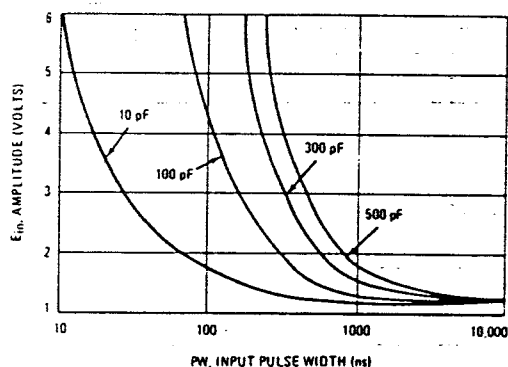
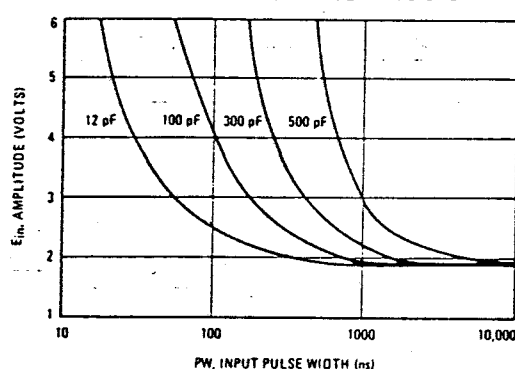


FIGURE 13 — TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND



## MC1489L, MC1489AL (continued)

## APPLICATIONS INFORMATION (continued)

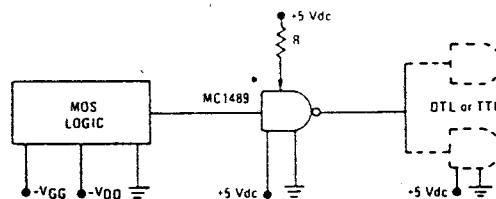
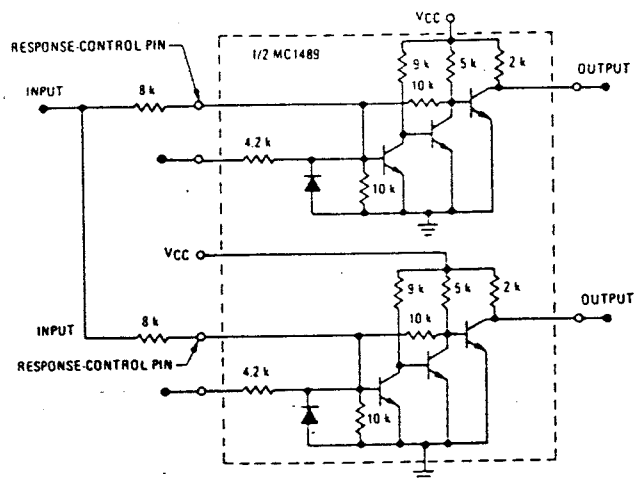
FIGURE 14 — TYPICAL TRANSLATOR APPLICATION —  
MOS TO DTL OR TTL

FIGURE 15 — TYPICAL PARALLELING OF TWO MC1489A RECEIVERS TO MEET RS-232C



# MOTOROLA SEMICONDUCTOR TECHNICAL DATA

## 0-600 bps DIGITAL MODEM

The MC6860 is a MOS subsystem designed to be integrated into a wide range of equipment utilizing serial data communications.

The modem provides the necessary modulation, demodulation and supervisory control functions to implement a serial data communications link, over a voice grade channel, utilizing frequency shift keying (FSK) at bit rates up to 600 bps. The MC6860 can be implemented into a wide range of data handling systems, including stand alone modems, data storage devices, remote data communication terminals and I/O interfaces for minicomputers.

N-channel silicon-gate technology permits the MC6860 to operate using a single-voltage supply and be fully TTL compatible.

The modem is compatible with the M6800 microcomputer family, interfacing directly with the Asynchronous Communications Interface Adapter to provide low-speed data communications capability.

- Originate and Answer Mode
- Crystal or External Reference Control
- Modem Self Test
- Terminal Interfaces TTL-Compatible
- Full-Duplex or Half-Duplex Operation
- Automatic Answer and Disconnect
- Compatible Functions for 100 Series Data Sets
- Compatible Functions for 1001A/B Data Couplers

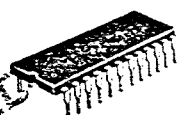
## MC6860

### MOS

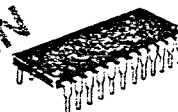
(N-CHANNEL, SILICON-GATE)

0-600 bps  
DIGITAL MODEM

2

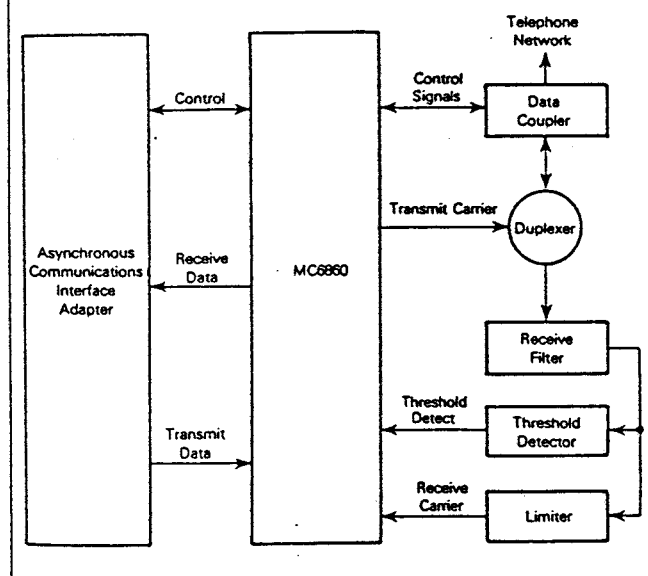


L SUFFIX  
CERAMIC PACKAGE  
CASE 623



P SUFFIX  
PLASTIC PACKAGE  
CASE 709

FIGURE 1 — TYPICAL MC6860 SYSTEM CONFIGURATION



### PIN ASSIGNMENT

VSS	1	24	Rx Data
Tx Data	2	23	CTS
Rx Brk	3	22	ESD
An Ph	4	21	SH
ELS	5	20	DTR
ESS	6	19	RI
TD	7	18	TST
Tx Brk	8	17	Rx Car
Brk R	9	16	ST
Tx Car	10	15	Mode
FO	11	14	Rx Rate
VCC	12	13	Xtal

## MC6860

## MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V <sub>CC</sub>	-0.3 to +7.0	V
Input Voltage	V <sub>in</sub>	-0.3 to +7.0	V
Operating Temperature Range	T <sub>A</sub>	0 to 70	°C
Storage Temperature Range	T <sub>stg</sub>	-55 to +150	°C

## THERMAL CHARACTERISTICS

Characteristics	Symbol	Value	Unit
Thermal Resistance Ceramic	θ <sub>JA</sub>	65	°C/W
Plastic		120	

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V<sub>SS</sub> or V<sub>CC</sub>).

## POWER CONSIDERATIONS

The average chip-junction temperature, T<sub>J</sub>, in °C can be obtained from:

$$T_J = T_A + (P_D \cdot \theta_{JA}) \quad (1)$$

Where:

T<sub>A</sub> = Ambient Temperature, °C

θ<sub>JA</sub> = Package Thermal Resistance, Junction-to-Ambient, °C/W

P<sub>D</sub> = P<sub>INT</sub> + P<sub>PORT</sub>

P<sub>INT</sub> = I<sub>CC</sub> × V<sub>CC</sub>, Watts — Chip Internal Power

P<sub>PORT</sub> = Port Power Dissipation, Watts — User Determined

For most applications P<sub>PORT</sub> < P<sub>INT</sub> and can be neglected. P<sub>PORT</sub> may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between P<sub>D</sub> and T<sub>J</sub> (if P<sub>PORT</sub> is neglected) is:

$$P_D = K \cdot (T_J + 273^\circ\text{C}) \quad (2)$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273^\circ\text{C}) + \theta_{JA} \cdot P_D^2 \quad (3)$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P<sub>D</sub> (at equilibrium) for a known T<sub>A</sub>. Using this value of K the values of P<sub>D</sub> and T<sub>J</sub> can be obtained by solving equations (1) and (2) iteratively for any value of T<sub>A</sub>.

MC6860

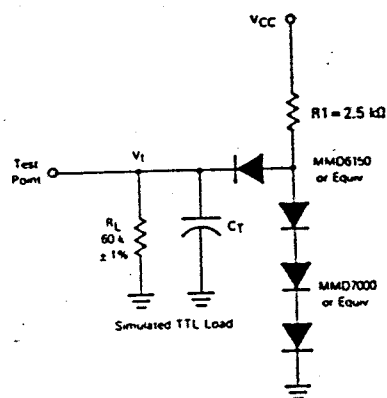
# DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0 ± 5% Vdc, all voltages referenced to V<sub>SS</sub> = 0, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>, all outputs loaded as shown in Figure 2 unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage, All Inputs Except Crystal	V <sub>IH</sub>	2.0	—	V <sub>CC</sub>	V
Input Low Voltage, All Inputs Except Crystal	V <sub>IL</sub>	V <sub>SS</sub>	—	0.80	V
Crystal Input Voltage (Crystal Input Driven from an External Reference, Input Coupling Capacitor = 200 pF, Duty Cycle = 50 ± 5%)	V <sub>in</sub>	1.5	—	2.0	V <sub>p-p</sub>
Input Current (V <sub>in</sub> = V <sub>SS</sub> ) All Inputs Except Rx Car, Tx Data, $\overline{\text{TD}}$ , $\overline{\text{TST}}$ , $\overline{\text{RI}}$ , $\overline{\text{SH}}$ RI, SH Inputs	I <sub>in</sub>	—	—	−0.2 −1.6	mA
Input Leakage Current (V <sub>in</sub> = 7.0 V, V <sub>CC</sub> = V <sub>SS</sub> , T <sub>A</sub> = 25°C)	I <sub>IL</sub>	—	—	1.0	μA
Output High Voltage, All Outputs Except An Ph and Tx Car (I <sub>OH1</sub> = −0.04 mA, Load A)	V <sub>OH1</sub>	2.4	—	V <sub>CC</sub>	V
Output Low Voltage, All Outputs Except An Ph and Tx Car (I <sub>OL1</sub> = 1.6 mA, Load A)	V <sub>OL1</sub>	V <sub>SS</sub>	—	0.40	V
Output High Current, An Ph (V <sub>OH2</sub> = 0.8 V, Load B)	I <sub>OH2</sub>	0.30	—	—	mA
Output Low Voltage, An Ph (I <sub>OL2</sub> = 0, Load B)	V <sub>OL2</sub>	V <sub>SS</sub>	—	0.30	V
Input Capacitance (f = 0.1 MHz, T <sub>A</sub> = 25°C)	C <sub>in</sub>	—	5.0	—	pF
Output Capacitance (f = 0.1 MHz, T <sub>A</sub> = 25°C)	C <sub>out</sub>	—	10	—	pF
Transmit Carrier Output Voltage (Load C)	V <sub>CO</sub>	0.20	0.35	0.50	V(RMS)
Transmit Carrier Output 2nd Harmonic (Load C)	V <sub>2H</sub>	−25	−32	—	dB
Input Transition Times, All Inputs Except Crystal (Operating in the Crystal Input Mode; from 10% to 90% Points)	t <sub>r</sub> t <sub>f</sub>	—	—	1.0* 1.0*	μs
Input Transition Times, Crystal Input (Operating in External Input Reference Mode)	t <sub>r</sub> t <sub>f</sub>	—	—	30 30	ns
Output Transition Times, All Outputs Except Tx Car (From 10% to 90% Points)	t <sub>r</sub> t <sub>f</sub>	—	—	5.0 5.0	μs
Internal Power Dissipation (All Inputs at V <sub>SS</sub> and All Outputs Open) (Measured at T <sub>A</sub> = T <sub>L</sub> )	P <sub>INT</sub>	—	—	340	mW

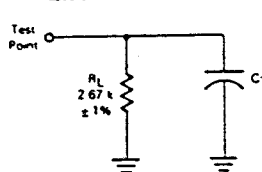
\*Maximum Input Transition Times are ≤ 0.1 × Pulse Width or the specified maximum of 1.0 μs, whichever is smaller.

FIGURE 2 — OUTPUT TEST LOADS

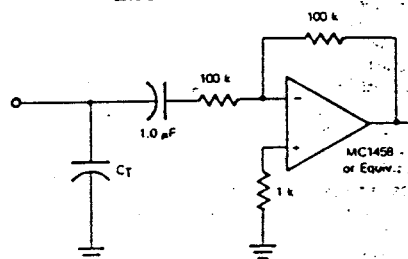
Load A — TTL Output Load for Receive Break, Digital Carrier, Mode, Clear-to-Send,  
and Receive Data Outputs



Load B — Answer Phone Load



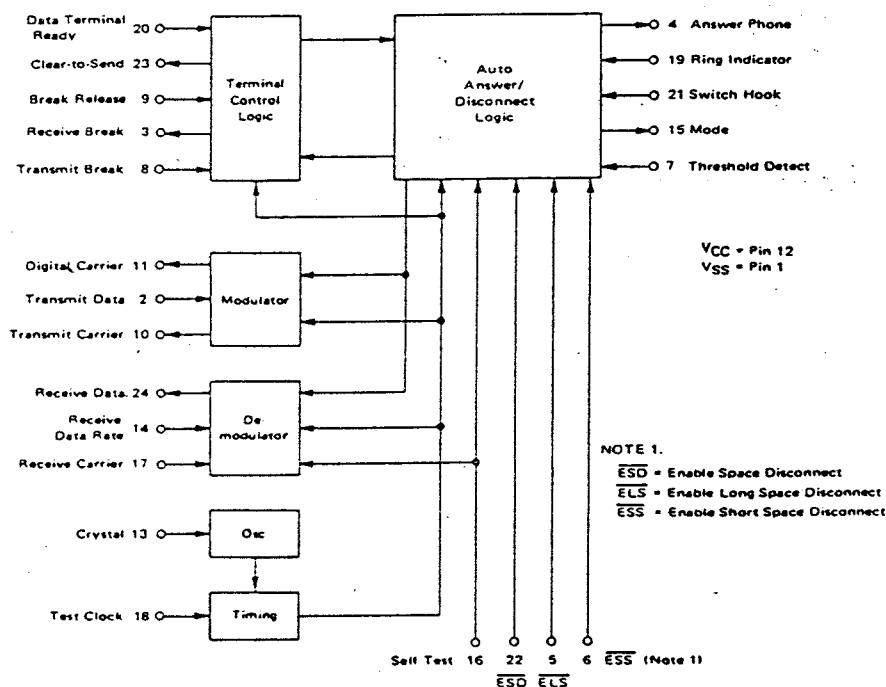
Load C — Transmit Carrier Load



C<sub>T</sub> = 20 pF = total parasitic capacitance, which includes probe, wiring, and load capacitance

MC6860

FIGURE 3 — BLOCK DIAGRAM



## DEVICE OPERATION\*

## GENERAL

Figure 1 shows the modem and its interconnections. The data to be transmitted is presented in serial format to the modulator for conversion to FSK signals for transmission on the telephone line (refer to Figure 3). The modulator output is buffered before driving the line.

The FSK signal from the remote modem is received via the telephone line and filtered to remove extraneous signals such as the local Transmit Carrier. This filtering can be either a bandpass which passes only the desired band of frequencies or a notch which rejects the known interfering signal. The desired signal is then limited to preserve the axis crossings and fed to the demodulator where the data is recovered from the received FSK carrier.

The Supervisory Control provides the necessary commands and responses for handshaking with the remote modem, along with the interface signals to the data coupler and communication terminal. If the modem is a built-in unit,

all input-output (I/O) logic need not be RS-232 compatible. The use of MC1488 and MC1489A line drivers and receivers will provide a RS-232 interface conforming to the EIA specification.

## ANSWER MODE

Automatic answering is first initiated by a receipt of a Ring Indicator (RI) signal. This can be either a low level for at least 51 ms as would come from a CBS data coupler, or at least 20 cycles of a 20-47 Hz ringing signal (low level  $\geq 50\%$  of the duty cycle) as would come from a CBT data coupler. The presence of the Ring Indicator signal places the modem in the Answer Mode; if the Data Terminal Ready line is low, indicating the communication terminal is ready to send or receive data, the Answer Phone output goes high. This output is designed to drive a transistor switch which will activate

\*See Tables 1 and 2 for delay time tolerances.

## MC6860

the Off Hook (OH) and Data Transmission (DA) relays in the data coupler. Upon answering the phone the 2225-Hz Transmit Carrier is turned on.

The originate modem at the other end detects this 2225-Hz signal and after a 450 ms delay (used to disable any echo suppressors in the telephone network) transmits a 1270-Hz signal which the local answering modem detects, provided the amplitude and frequency requirements are met. The amplitude threshold is set external to the modem chip. If the signal level is sufficient the TD input should be low for 20  $\mu$ s at least once every 32 ms. The absence of a threshold indication for a period greater than 51 ms denotes the loss of Receive Carrier and the modem begins hang-up procedures. Hang-up will occur 17 s after RI has been released provided the handshaking routine is not re-established. The frequency tolerance during handshaking is  $\pm 100$  Hz from the Mark frequency.

After the 1270-Hz signal has been received for 150 ms, the Receive Data is unclamped from a Mark condition and data can be received. The Clear-to-Send output goes low 450 ms after the receipt of carrier and data presented to the answer modem is transmitted. Refer to Figure 4.

## AUTOMATIC DISCONNECT

Upon receipt of a space of 150 ms or greater duration, the modem clamps the Receive Break high. This condition exists until a Break Release command is issued at the receiving station. Upon receipt of a 0.3 s space, with Enable Short Space Disconnect at the most negative voltage (low), the modem automatically hangs up. If Enable Long Space Disconnect is low, the modem requires 1.5 s of continuous space to hang up. Refer to Figure 5.

## ORIGINATE MODE

Upon receipt of a Switch Hook (SH) command the modem function is placed in the Originate Mode. If the Data Terminal Ready input is enabled (low) the modem will provide a logic high output at Answer Phone. The modem is now ready to receive the 2225-Hz signal from the remote answering modem. It will continue to look for this signal until 17 s after SH has been released. Disconnect occurs if the handshaking routine is not established.

Upon receiving 2225  $\pm$  100 Hz for 150 ms at an acceptable amplitude, the receive Data output is unclamped from a Mark condition and data reception can be accomplished. 450 ms after receiving a 2225-Hz signal, a 1270-Hz signal is transmitted to the remote modem. 750 ms after receiving the 2225-Hz signal, the Clear-to-Send output is taken low and data can now be transmitted as well as received. Refer to Figure 6.

## INITIATE DISCONNECT

In order to command the remote modem to automatically hang up, a disconnect signal is sent by the local modem. This is accomplished by pulsing the normally low Data Terminal Ready into a high state for greater than 34 ms. The local modem then sends a 3 s continuous space and hangs up provided the Enable Space Disconnect is low. If the remote modem hangs up before 3 s, loss of Threshold Detect will cause loss of Clear-to-Send, which marks the line in Answer Mode and turns the carrier off in the Originate Mode.

If ESD is high the modem will transmit data until hang-up occurs 3 s later. Receive Break is clamped 150 ms following the Data Terminal Ready interrupt. Refer to Figure 7.

## INPUT/OUTPUT FUNCTIONS

Figure 8 shows the I/O interface for the low speed modem. The following is a description of each individual signal:

## Receiver Carrier (Rx Car)

The Receive Carrier is the FSK input to the demodulator. The local Transmit Carrier must be balanced or filtered out and the remaining signal hard limited. The conditioned receive carrier is measured by the MC6860. Any half-cycle period greater than or equal to  $429 \pm 1.0 \mu$ s for the low band or  $235 \pm 1.0 \mu$ s for the high band is detected as a space. Resultant peak phase jitter is as follows:

Data Rate Bits per Second	Answer Mode $\phi_j$ (Peak %)	Originate Mode $\phi_j$ (Peak %)
300	7.0	3.7
200	4.7	2.5
150	3.5	1.8
110	2.6	1.4

## Ring Indicator (RI)

The modem function will recognize the receipt of a call from the CBT data coupler if at least 20 cycles of the 20-47 Hz ringing signal (low level  $\geq 50\%$  of the duty cycle) are present. The CBS data coupler RI signal must be level-converted to TTL according to the EIA RS-232 specification before interfacing it with the modem function. The receipt of a call from the CBS data coupler is recognized if the RI signal is present for at least 51 ms. This input is held high except during ringing. An RI signal automatically places the modem function in the Answer Mode.

## Switch Hook (SH)

SH interfaces directly with the CBT data coupler and via the EIA RS-232 level conversion for the CBS data coupler. An SH signal automatically places the modem function in the Originate Mode.

SH is low during origination of a call. The modem will automatically hang up 17 s after releasing SH if the handshaking routine has not been accomplished.

## Threshold Detect (TD)

This input is derived from an external threshold detector. If the signal level is sufficient, the TD input must be low for 20  $\mu$ s at least once every 32 ms to maintain normal operation. An insufficient signal level indicates the absence of the Receive Carrier; an absence for less than 32 ms will not cause channel establishment to be lost; however, data during this interval will be invalid.

If the signal is present and the level is acceptable at all times, then the threshold input can be low permanently.

Loss of threshold for 51 ms or longer results in a loss of Clear-to-Send. The Transmit Carrier of the originate modem is clamped off and a constant Mark is transmitted from the answer modem.

## TIMING DIAGRAMS

FIGURE 4 — ANSWER MODE

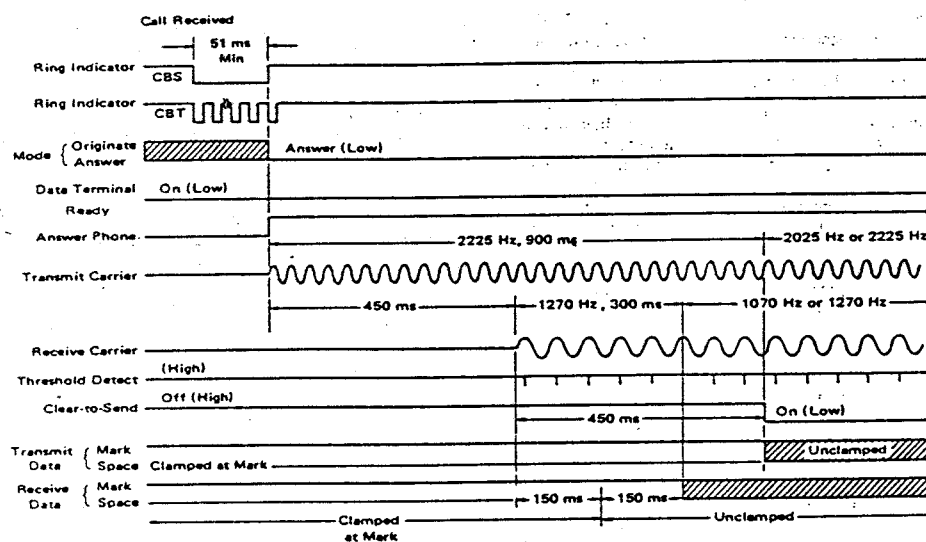


FIGURE 5 — AUTOMATIC DISCONNECT — LONG OR SHORT SPACE

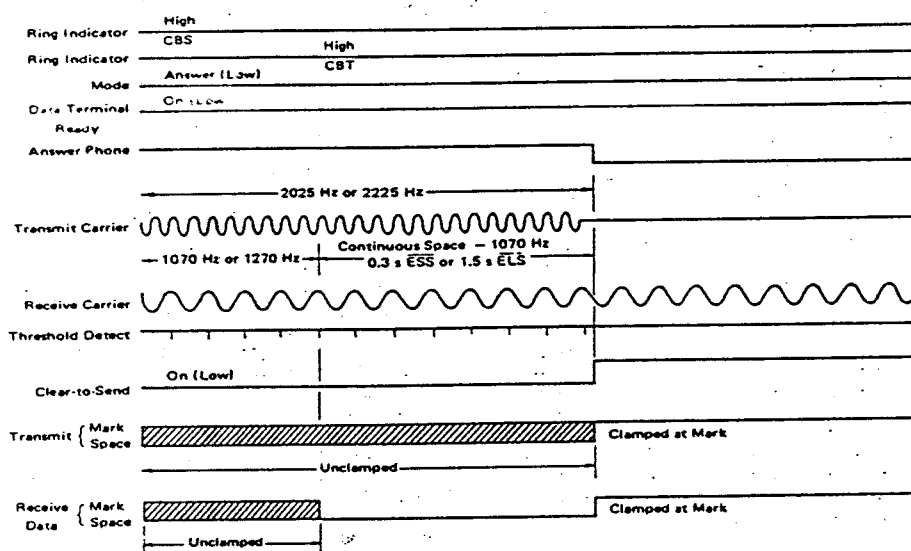




FIGURE 6 — ORIGINATE MODE

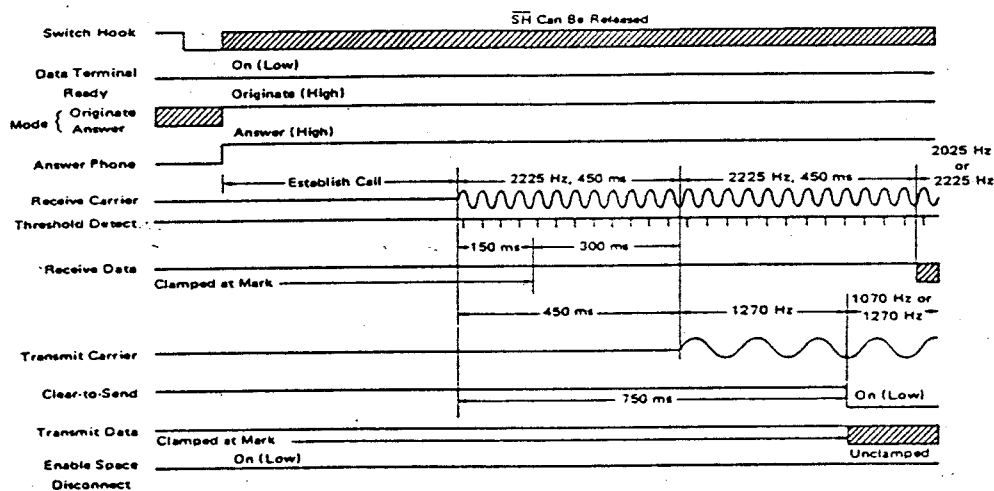
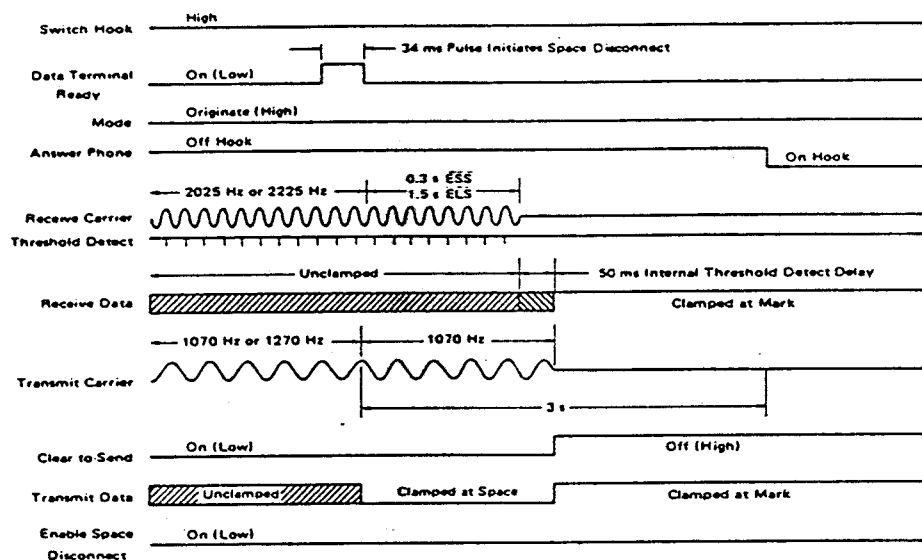


FIGURE 7 — INITIATE DISCONNECT



## MC6860

## Receive Data Rate (Rx Rate)

The demodulator has been optimized for signal-to-noise performance at 300 bps and 600 bps. The Receive Data Rate input must be low for 0-600 bps and should be high for 0-300 bps.

## Transmit Data (Tx Data)

Transmit Data is the binary information presented to the modem function for modulation with FSK techniques. A high level represents a Mark.

## Data Terminal Ready (DTR)

The Data Terminal Ready signal must be low before the modem function will be enabled. To initiate a disconnect, DTR is held high for 34 ms minimum. A disconnect will occur 3 s later.

## Break Release (Brk R)

After receiving a 150 ms space signal, the clamped high condition of the Receive Break output can be removed by holding Break Release low for at least 20  $\mu$ s.

## Transmit Break (Tx Brk)

The Break command is used to signal the remote modem to stop sending data.

A Transmit Break (low) greater than 34 ms forces the modem to send a continuous space signal for 233 ms. Transmit Break must be initiated only after CTS has been established. This is a negative edge sense input. Prior to initiating Tx Brk, this input must be held high for a minimum of 34 ms.

## Enabled Space Disconnect (ESD)

When ESD is strapped low and DTR is pulsed to initiate a disconnect, the modem transmits a space for either 3 s or until a loss of threshold is detected, whichever occurs first. If ESD is strapped high, data instead of a space is transmitted. A disconnect occurs at the end of 3 s.

## Enable Short Space Disconnect (ESS)

ESS is a strapping option which, when low, will automatically hang up the phone upon receipt of a continuous space for 0.3 s. ESS and ELS must not be simultaneously strapped low.

## Enable Long Space Disconnect (ELS)

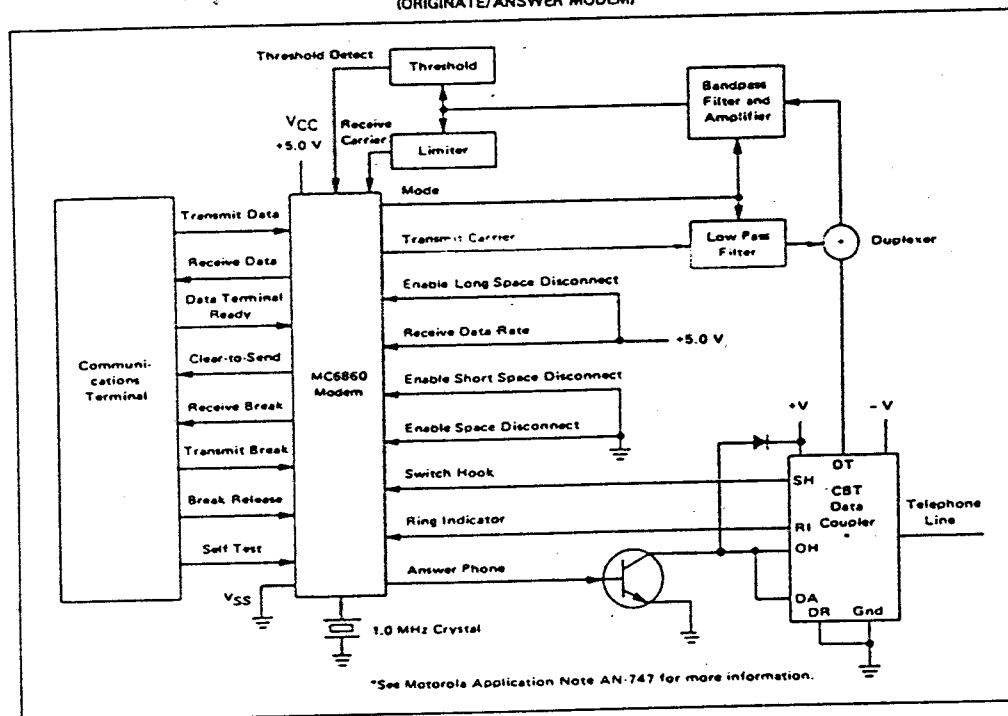
ELS is a strapping option which, when low, will automatically hang up the phone upon receipt of a continuous space for 1.5 s.

## Crystal (Xtal)

A 1.0 MHz crystal with the following parameters is required to utilize the on-chip oscillator. A 1.0-MHz square wave can also be fed into this input to satisfy the clock requirement.

Mode:	Parallel
Frequency:	1.0 MHz $\pm 0.1\%$
Series Resistance:	750 ohms max
Shunt Capacitance:	7.0 pF max
Temperature:	0-70°C
Test Level:	1.0 mW
Load Capacitance:	13 pF

FIGURE 8 — I/O INTERFACE CONNECTIONS FOR MC6860  
(ORIGINATE/ANSWER MODEM)



MOTOROLA TELECOMMUNICATIONS DEVICE DATA

## MC6860

When utilizing the 1.0 MHz crystal, external parasitic capacitance, including crystal shunt capacitance, must be  $\leq 9$  pF at the crystal input. Reliable crystal oscillator start-up requires that the VCC power-on transition time be  $> 15$  milliseconds.

**Test Clock (TST)**

A test signal input is provided to decrease the test time of the chip. In normal operation this input *must be strapped low*.

**Self Test (ST)**

When a low voltage level is placed on this input, the demodulator is switched to the modulator frequency and demodulates the transmitted FSK signal. Channel establishment, which occurred during the initial handshake, is not lost during self test. The Mode Control output changes state during Self Test, permitting the receive filters to pass the local Transmit Carrier.

ST	SH	RI	Mode
H	H	H	H
H	H	L	L
L	H	H	L
L	H	L	H

\*Note maximum SH low time in Table 1.

**Answer Phone (An Ph)**

Upon receipt of Ring Indicator or Switch Hook signal and Data Terminal Ready, the Answer Phone output goes high ((SH + RI) · DTR). This signal drives the base of a transistor which activates the Off Hook, and Data Transmission control lines in the data coupler. Upon call completion, the Answer Phone signal returns to a low level.

**Mode**

The Mode output indicates the Answer (low) or Originate (high) status of the modem. This output changes state when a Self Test command is applied.

**Clear-To-Send (CTS)**

A low on the CTS output indicates the Transmit Data input has been unclamped from a steady Mark, thus allowing data transmission.

**Receive Data (Rx Data)**

The Receive Data output is the data resulting from demodulating the Receive Carrier. A Mark is a high level.

**Receive Break (Rx Brk)**

Upon receipt of a continuous 150 ms space, the modem automatically clamps the Receive Break output high. This output is also clamped high until Clear-to-Send is established.

**Digital Carrier (FO)**

A test signal output is provided to decrease the chip test time. The signal is a square wave at the transmit frequency.

**Transmit Carrier (Tx Car)**

The Transmit Carrier is a digitally-synthesized sine wave (Figure 9) derived from the 1.0 MHz crystal reference. The frequency characteristics are as follows:

Mode	Data	Transmit Frequency	Tolerance*
Originate	Mark	1270 Hz	-0.15 Hz
Originate	Space	1070 Hz	0.90 Hz
Answer	Mark	2225 Hz	-0.31 Hz
Answer	Space	2025 Hz	-0.71 Hz

\*The reference frequency tolerance is not included.

The proper output frequency is transmitted within  $3.0 \mu\text{s}$  following a data bit change with no more than  $2.0 \mu\text{s}$  phase discontinuity. The typical output level is 0.35 V (RMS) into 100 k ohm load impedance.

The second harmonic is typically 32 dB below the fundamental (see Figure 10).

**POWER-ON RESET**

Power-on reset is provided on-chip to insure that when power is first applied the Answer Phone output is in the low (inactive) state. This holds the modem in the inactive or idle mode until a SH or RI signal has been applied. Once power has been applied, a momentary loss of power at a later time may not be of sufficient time to guarantee a chip reset through the power-on reset circuit.

To insure initial power-on reset action, the external parasitic capacitance on RI and SH should be  $< 30$  pF. Capacitance values  $> 30$  pF may require the use of an external pullup resistor to VCC on these inputs in addition to the pullup devices already provided on chip.

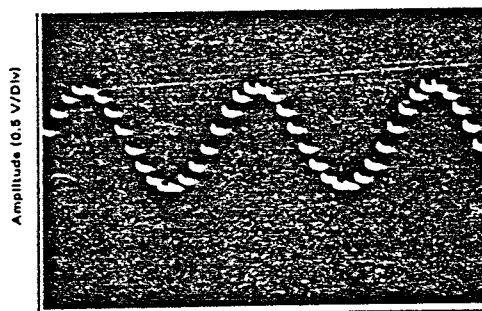


FIGURE 9 — TRANSMIT CARRIER SINE WAVE

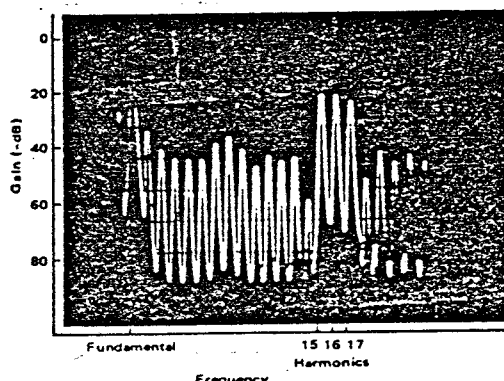


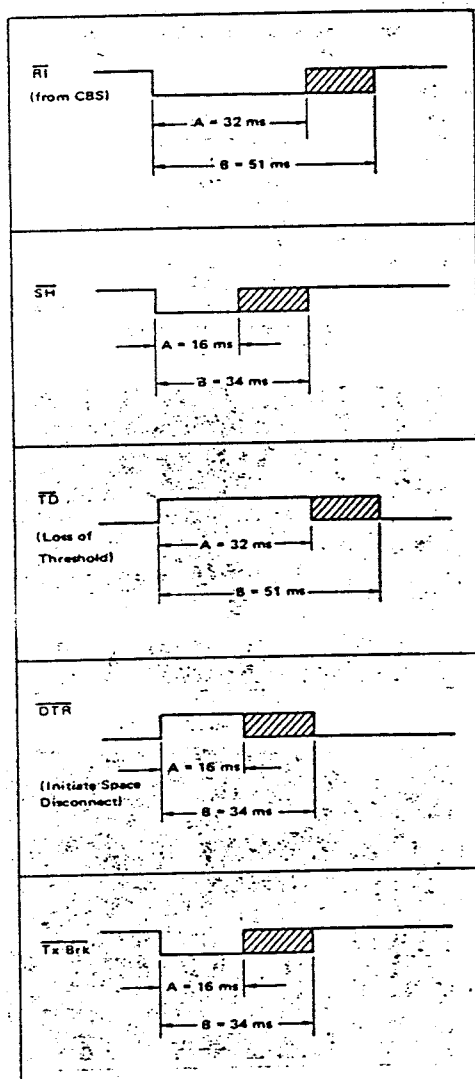
FIGURE 10 — TRANSMIT CARRIER FREQUENCY SPECTRUM

TABLE 1 — ASYNCHRONOUS INPUT PULSE WIDTH AND OUTPUT DELAY VARIATIONS  
(Time delays specified do not include the 1-MHz reference tolerance.)

Due to the asynchronous nature of the input signals with respect to the circuit internal clock, a delay variation of input pulse width requirement will exist. Time delay A is the maximum time for which no response will occur. Time delay B is the minimum time required to guarantee an input response. Input signal widths in the cross-hatched region (i.e., greater than A but less than B) may or may not be recognized as valid.

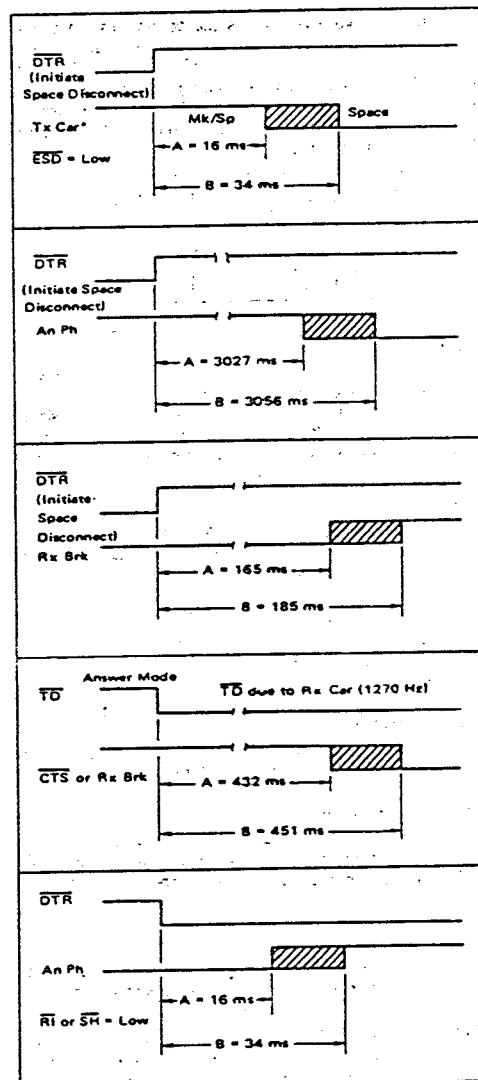
For output delays, time A is the minimum delay before an output will respond. Time B is the maximum delay for an output to respond. Output signal response may or may not occur in the cross-hatched region (i.e., greater than A but less than B).

## INPUT PULSES



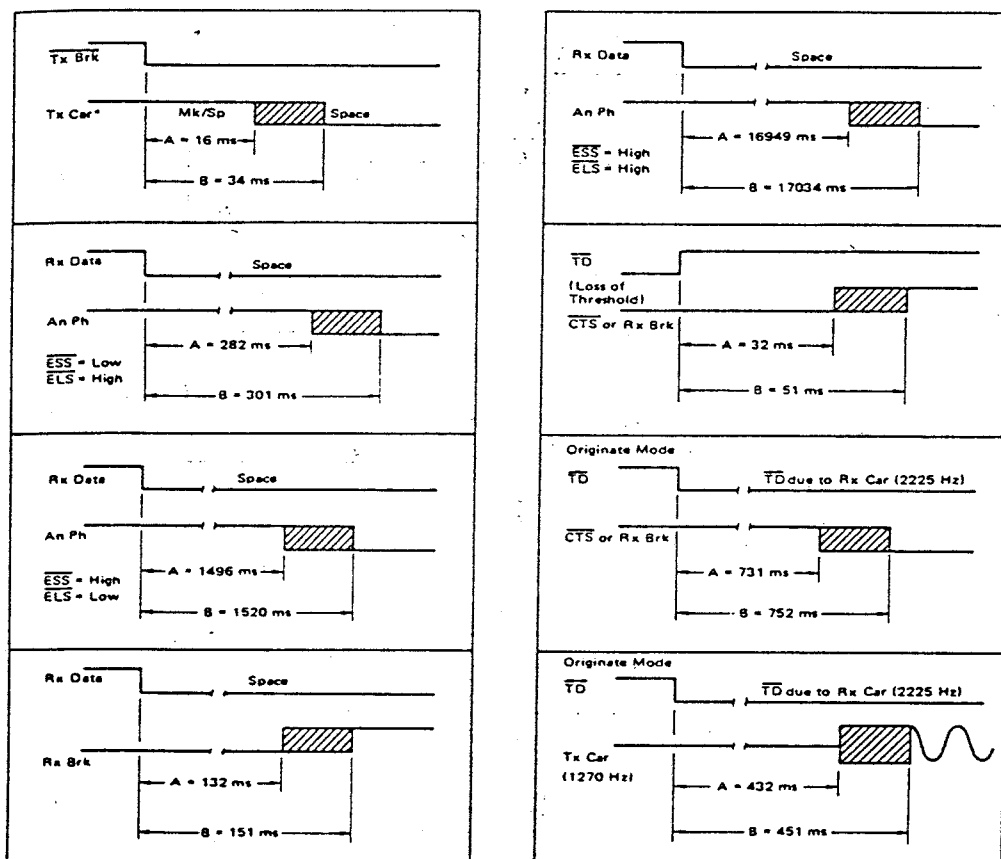
\* Digital Representation.

## OUTPUT DELAYS



(continued)

TABLE 1 - OUTPUT DELAY VARIATIONS (continued)

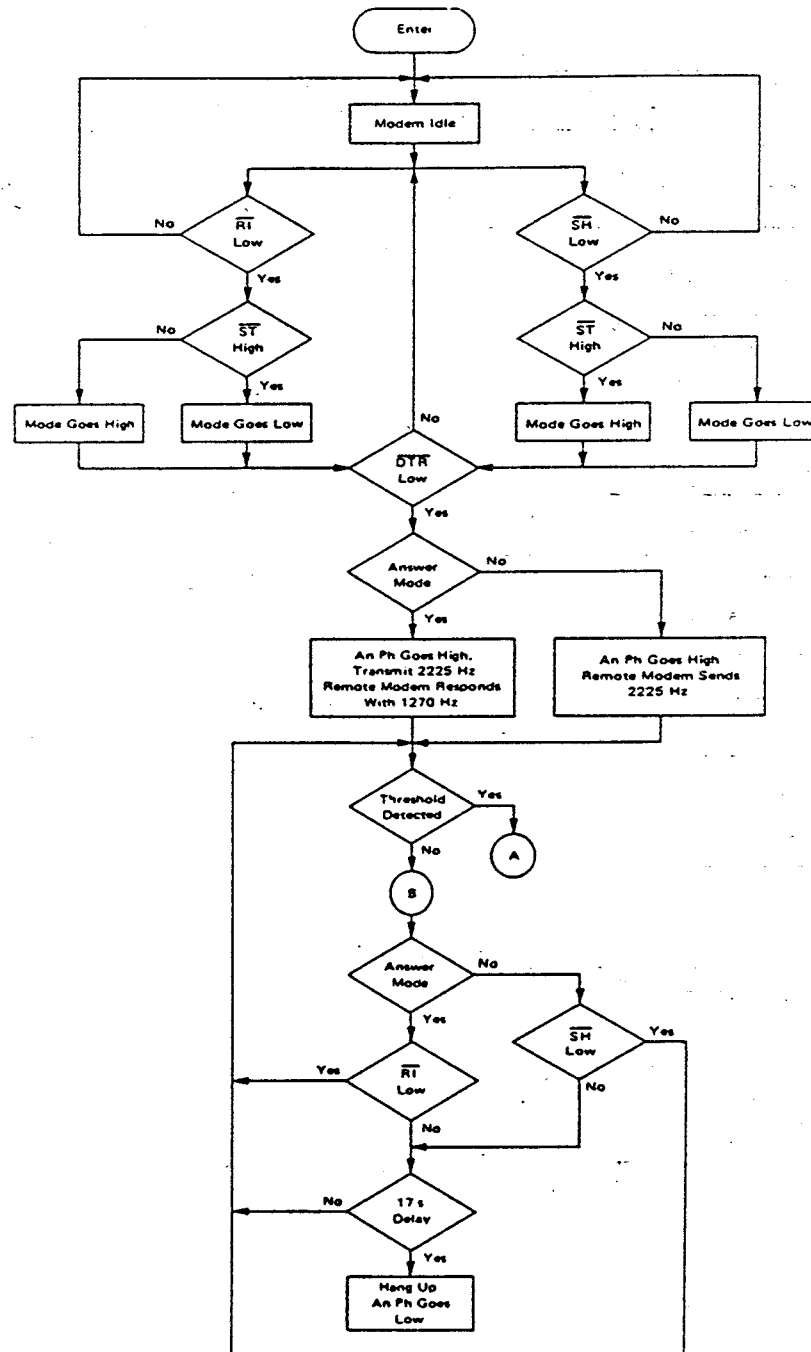


\*Digital Representation

TABLE 2 - TRANSMIT BREAK AND DISCONNECT DELAYS

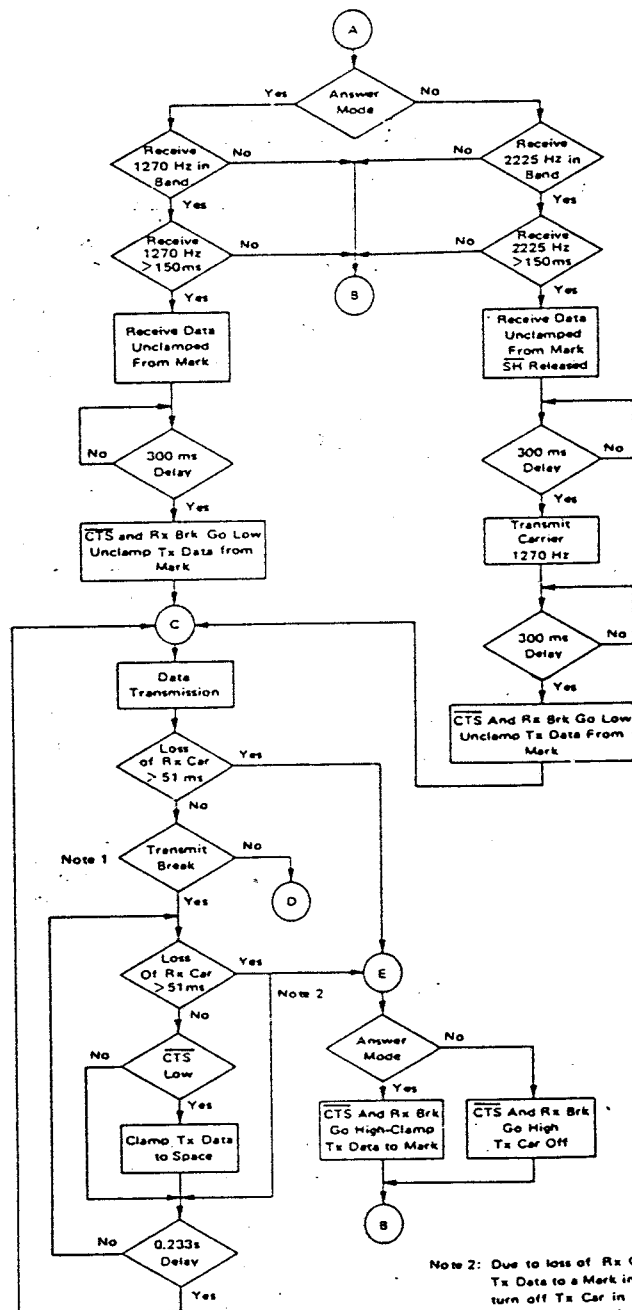
Function Description	Min	Max	Unit
Tx Brk (Space Duration)	232	235	ms
Space Disconnect (Space Duration) (DTR = High, ESD and TD = Low)	3010	3023	ms
Loss of Carrier Disconnect (Measured from positive edge of CTS to negative edge of An Ph, with RI, SH, and TD = High)	16965	17034	ms
Override Disconnect (Measured from positive edge of RI or SH to negative edge of An Ph, with TD = High)	16916	17101	ms

FIGURE 11 — FLOW DIAGRAM



MC6860

FIGURE 11 — FLOW DIAGRAM (CONTINUED)

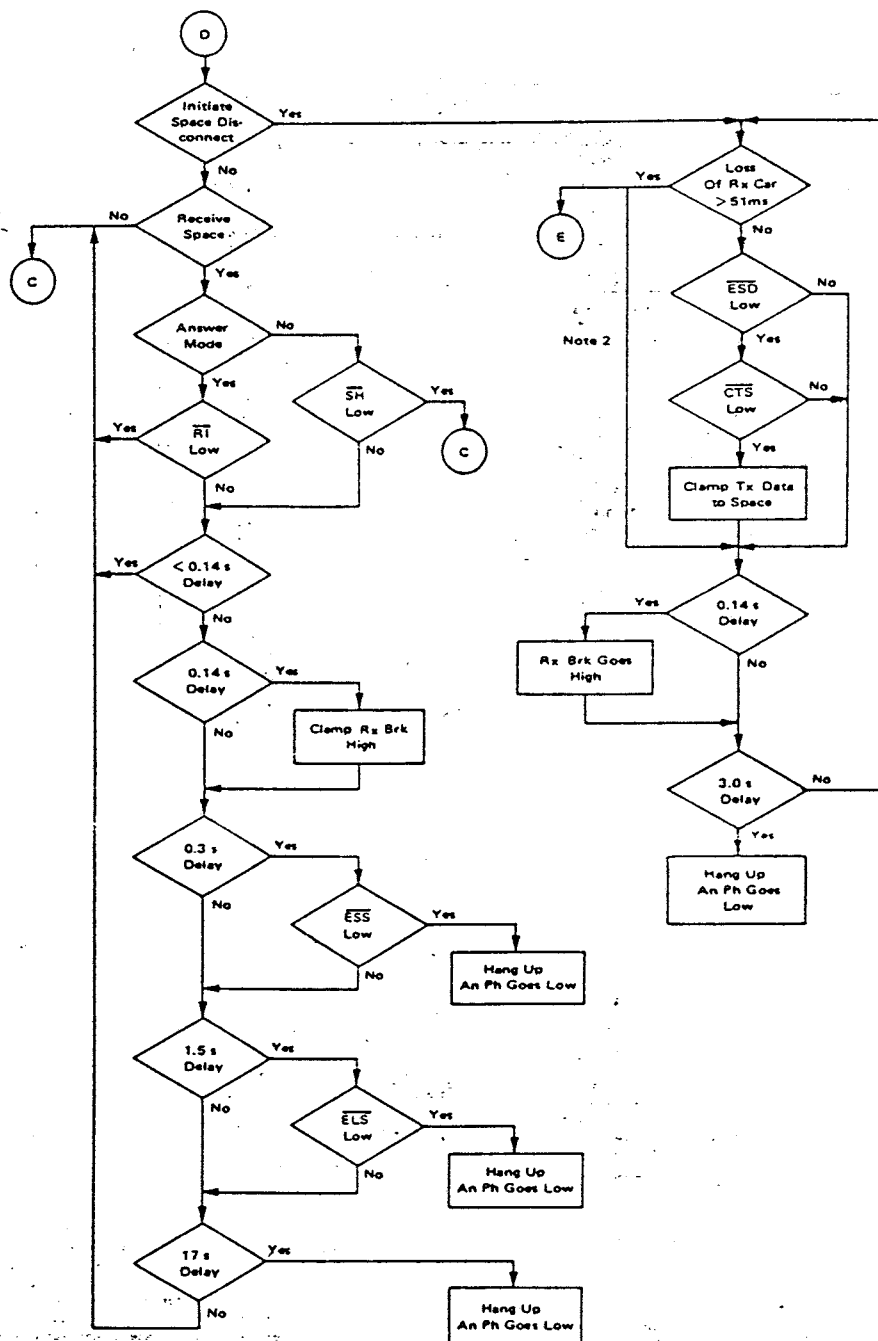


Note 1: Transmit Break, Initiate Space Disconnect, and Receive Space are mutually exclusive events.

Note 2: Due to loss of Rx Car, the modem will clamp Tx Data to a Mark in the Answer Mode and will turn off Tx Car in the Originate Mode. If Rx Car is detected before completion of Tx Brk or Initiate Space Disconnect, normal operation of Tx Brk or Initiate Space Disconnect will continue until completion of their respective time delays.

MC6860

FIGURE 11 — FLOW DIAGRAM (CONCLUDED)



MOTOROLA TELECOMMUNICATIONS DEVICE DATA



---

**LAMPIRAN C**

---

**USULAN TUGAS AKHIR**

1. **JUDUL TUGAS AKHIR** : **PERENCANAAN DAN PEMBUATAN PERALATAN PERANTARA KOMUNIKASI DATA ANTAR KOMPUTER DENGAN MENGGUNAKAN WIRELESS MICROPHONE**
2. **RUANG LINGKUP** :
  - Transmisi Data
  - Sistem Komunikasi
  - Rancangan dan sistem Tx-Rx Radio
3. **LATAR BELAKANG** : Dalam perkembangan komunikasi data saat ini, ungkapan "Dunia semakin kecil" bukan suatu hal yang baru bagi kita. Dalam waktu singkat saja seseorang dapat memantau dan memperoleh data yang diinginkan dari segala penjuru dunia.  
  
Saat ini informasi sangat penting bagi manusia, karena barang siapa yang dapat menguasai informasi dan mampu memanfaatkannya akan meningkat kekuasaan dan pengaruhnya.  
  
Dalam kaitanya dengan perkembangan teknologi komunikasi maka komunikasi data erat hubungannya dengan komunikasi antar komputer.

sarana untuk transmisi data dapat berupa saluran phisik (udara). Komunikasi antar komputer jarak dekat melalui kanal radio yang menggunakan frekuensi siaran FM belum banyak dikembangkan. Sebagai salah satu alternatif dalam tugas akhir ini akan dibahas rancangan dan pembuatan perantara komunikasi data antar komputer dengan menggunakan wireless microphone.

4. **PENELAAHAN STUDI** :
- Memahami prinsip kerja dan karakteristik Interface standard RS 232 C serta fasilitas data terminal ready (DTR) atau request to send (RTS) untuk mematikan dan menghidupkan pemancar.
  - Memahami prinsip sistem modulasi Frekuensi Shift Keying (FSK).
  - Memahami prinsip kerja peralatan serta karakteristik sistem modulasi frekuensi (FM)
  - Dengan dibuatnya suatu perantara komunikasi data antar komputer menggunakan wireless microphone diharapkan dapat memahami proses

operasi komunikasi data antar komputer dan dengan direncanakan nya pembuatan alat dapat melakukan optimasi perencanaan alat tahap demi tahap yang ada didalamnya.

5. **TUJUAN** : - Menghasilkan piranti keras pelengkap untuk fasilitas pertukaran data antar komputer micro, dengan peralatan komunikasi yang sederhana.
6. **PERMASALAHAN** : Merencanakan dan membuat sebuah perantara komunikasi antar komputer dengan menggunakan wireless microphone dengan bandwith yang cukup memenuhi syarat untuk signal data dan peralatan penerima radio FM biasa.
7. **PEMBATASAN** : - Wireless microphone yang digunakan bekerja pada frekuensi FM.  
- Protokol data adalah protokol standard RS 232 C.
8. **LANGKAH-LANGKAH** : 1. Studi literatur mengenai Interface RS 232 C, modem FSK, wireless microphone.  
2. Pengumpulan data  
3. Perencanaan dan pembuatan perantara komunikasi data antar komputer

menggunakan wireless microphone.

4. Uji coba peralatan.

5. Menarik Kesimpulan.

#### 9. JADWAL KEGIATAN :

WAKTU KEGIATAN	BULAN KE					
	1	2	3	4	5	6
Studi literatur	■	■				
Pengumpulan data		■	■			
Perencanaan & pembuatan			■	■	■	
Uji coba peralatan						■
Kesimpulan						■

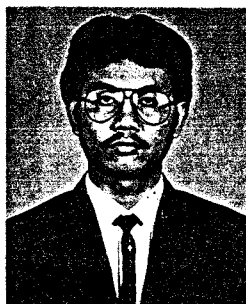
#### 10. RELEVANSI

: Pemakaian komunikasi data antar komputer banyak dipakai di bank, kantor dan instansi lainnya maka, pembuatan peralatan ini diharapkan akan didapatkan suatu perangkat yang berunjuk kerja tinggi, berharga murah dan terjangkau oleh masyarakat luas.

---

**LAMPIRAN D**

---

**RIWAYAT HIDUP**

Nama : BENIDIKTUS ARIF D  
Tempat/tgl. lahir : Surabaya, 22-5-1966  
Kewarganegaraan : Indonesia  
Agama : Katholik  
Nama Orang Tua : M. TRANGGONO  
Alamat : Jl. Rangkah 6 No 94  
Surabaya.

**RIWAYAT PENDIDIKAN:**

1. SDN Rangkah VII Surabaya : Lulus tahun 1979
2. SMP Negeri IX Surabaya : Lulus tahun 1982
3. SMA Negeri IX Surabaya : Lulus tahun 1985
4. Jurusan teknik Elektro FTI ITS, masuk pada tahun 1985.  
Masuk Bidang Studi Telekomunikasi mulai 1988/1989.

**KEGIATAN:**

1. Aktif di berbagai kegiatan yang diselenggarakan himpunan periode 1987/1988
2. Sebagai pengurus himpunan periode kepengurusan 1988/1989
3. Sebagai Asisten Bidang Studi Teknik Telekomunikasi periode 1989/1990
4. Aktif dalam Seminar-seminar yang diselenggarakan oleh Himpunan Teknik Elektro